

PSoC® 3 / PSoC 5LP の SIO のヒントとコツ
作成者: Pavankumar Vibhute
関連プロジェクト: はい
関連部品ファミリ: すべての PSoC 3 および PSoC 5LP 部品
ソフトウェアバージョン: PSoC® Creator™ 3.1 SP2 以降
関連アプリケーションノート: [AN54181](#), [AN72382](#), [AN77759](#)

特殊な入力/出力 (SIO) ピンは、差動入力バッファと、高レベル出力電圧 (V_{OH}) を調整する手段を提供します。SIO ピンは、I/O 電源電圧より高い入力電圧に耐性があり、最大 25 mA の電流をシンクできます。このアプリケーションノートでは、SIO ピンのアプリケーション、コンパレータ、チャージポンプ、サレンキー型フィルタ、レベルシフタ、半波整流器、ピーク検出器、SIO コンパレータを使用したスリープウェイクアップについて説明します。

目次

1	はじめに.....	1	6	ヒント 4: レベルシフタ.....	10
2	PSoC Creator™における SIO の設定.....	2	7	ヒント 5: 半波整流器.....	11
2.1	SIO の入力設定.....	2	7.1	トップデザイン.....	11
2.2	SIO の出力設定.....	3	7.2	SIO ピンのペアリング.....	11
3	ヒント 1: コンパレータ.....	4	7.3	等価回路図.....	12
3.1	トップデザイン.....	4	8	ヒント 6: ピーク検出器.....	13
3.2	デジタル入力ピンの設定.....	5	8.1	トップデザイン.....	13
3.3	VDAC の設定.....	5	8.2	等価回路図.....	14
4	ヒント 2: コンパレータ ウェイクアップ.....	6	9	ヒント 7: SPST/SPDT スイッチとしての SIO.....	15
4.1	トップデザイン.....	6	9.1	トップデザイン.....	15
4.2	設定.....	7	10	ヒント 8: スリープモードでの SIO の処理.....	16
5	ヒント 3: チャージポンプ.....	8	11	まとめ.....	16
5.1	トップデザイン.....	8		改訂履歴.....	17
5.2	設定.....	8		セールス、ソリューションおよび法律情報.....	18
5.3	等価回路図.....	9			

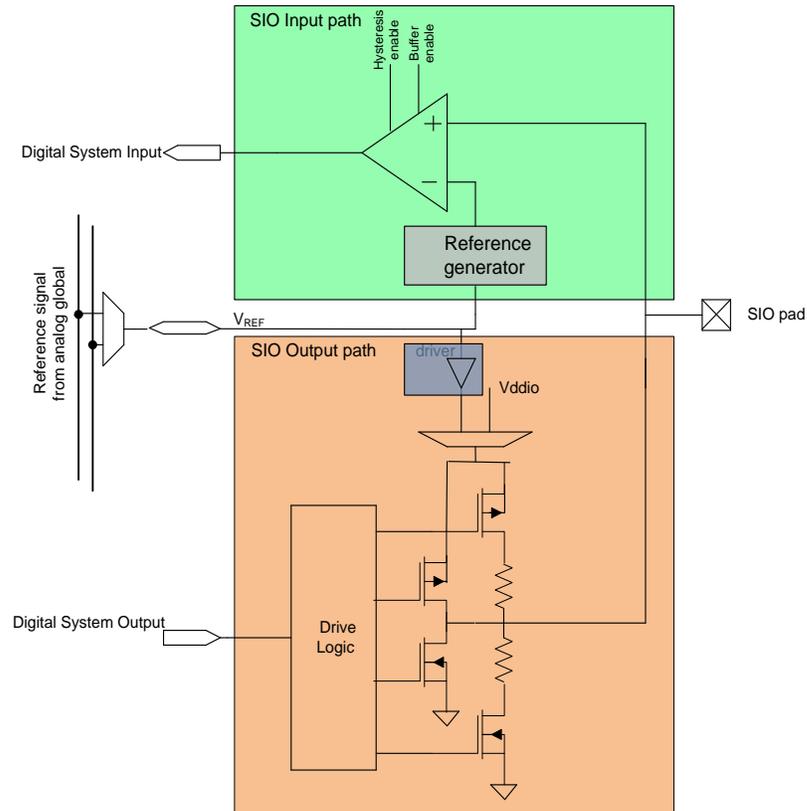
1 はじめに

SIO 入力は、シングルエンドまたは差動入力として設定できます。シングルエンド入力として設定されている場合、SIO は標準の CMOS および LVTTTL 入力レベルの通常の GPIO と同様に動作します。ただし、差動入力として設定されている場合、コンパレータとして機能します。リファレンスジェネレーターブロックは、コンパレータのしきい値を提供します。

SIO 出力レベルは、標準の CMOS 出力または安定化出力として設定できます。安定化出力モードでは、アナロググローバルから選択された V_{REF} 信号が V_{OH} レベルを設定します。SIO のアーキテクチャを図 1 に示します。

PSoC® 3 および PSoC 5LP デバイスには、4 つのピンペアとして設定される 8 つの SIO ピンがあります。SIO ピンのペアは、共通のリファレンスジェネレーターブロックを共有します。SIO アーキテクチャの詳細については [Technical Reference Manual \(TRM\)](#) を、SIO AC/DC 仕様については [PSoC 3](#) または [PSoC 5LP](#) デバイスのデータシートを参照してください。

図 1. SIO のアーキテクチャ

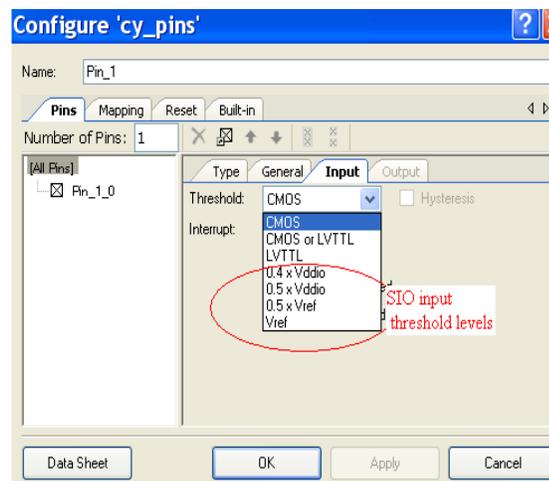


2 PSoC Creator™における SIO の設定

2.1 SIO の入力設定

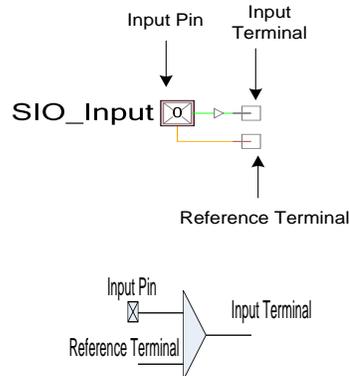
デジタル入力ピンコンポーネントの設定画面を図 2 に示します。赤で囲まれた 4 つの Threshold (しきい値) オプションの 1 つを選択すると、ピンは Differential input (差動入力) モードの SIO として設定されます。

図 2. デジタル入力ピンの設定



V_{REF} のしきい値オプションを $0.5 \times V_{REF}$ と選択した場合、デジタル入力ピンコンポーネントに基準端子が追加されます。これにより、DAC やピンなどの他のコンポーネントから外部リファレンスをルーティングできます。

図 3. 差動入力の外部リファレンスのルーティング

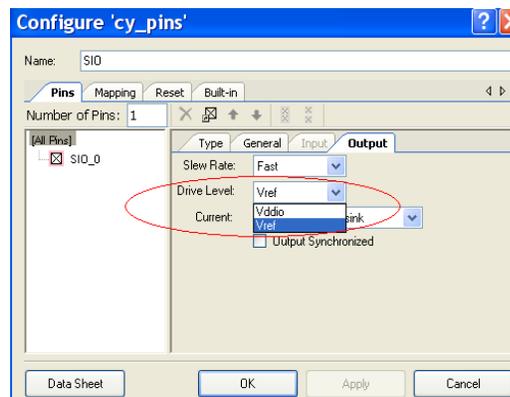


ホットスワップが有効で、しきい値が LVTTTL または CMOS 以外に設定されている場合、このコンポーネントは SIO ピンを使用します。**注:** ピンクのアウトラインは、デジタル入力ピンコンポーネントが SIO ピンを使用することを示します。

2.2 SIO の出力設定

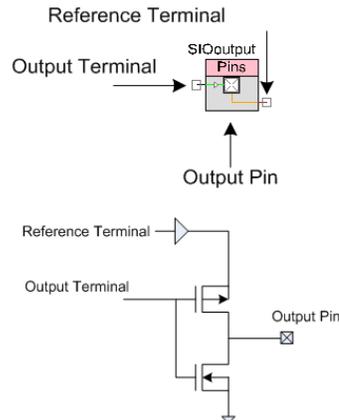
デジタル出力ピンコンポーネントの設定画面を図 4 に示します。

図 4. デジタル出力ピンの設定



Drive Level オプションで V_{REF} を選択し、ピンを安定化出力モードの SIO として設定してください。基準端子をデジタル出力ピンコンポーネントに追加します。これにより、DAC やピンなどの他のコンポーネントから外部リファレンスをルーティングできます。

図 5. 安定化出力のための外部リファレンスのルーティング



GPIO ピンは 4 mA をソース、8 mA をシンクできます。SIO ピンは 4 mA をソース、25 mA をシンクできます。

Drive Level が V_{REF} に設定され、Drive Current が 25 mA シンクに設定されている場合、このコンポーネントは SIO ピンを使用します。

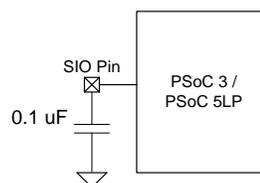
注: ピンのアウトラインは、デジタル出力ピンコンポーネントが SIO ピンを使用することを示します。

3 ヒント 1: コンパレータ

SIO ピンが差動入力として設定されている場合、コンパレータとして機能します。リファレンスジェネレーターブロックは、コンパレータのしきい値を提供します。このコンパレータは、入力信号をしきい値電圧と比較します。

SIO は理想的なコンパレータではないため、アプリケーションに厳密な要件がない場合、SIO はコンパレータとして使用するのに適しています。PSoC 3 および PSoC 5LP デバイスの専用コンパレータは、応答が速く、オフセット電圧が小さくなっています (PSoC 3 または PSoC 5LP デバイスのデータシートを参照)。高速応答と小さなオフセットを必要とするアプリケーションの場合には、専用のコンパレータを使用します。また、図 6 に示すように、SIO 入力ピンに 0.1 μF を使用することをお勧めします。このコンデンサは、SIO の信号にカップリングするシステムノイズを除去します。

図 6. システムノイズを除去する SIO ピンの外付けコンデンサ

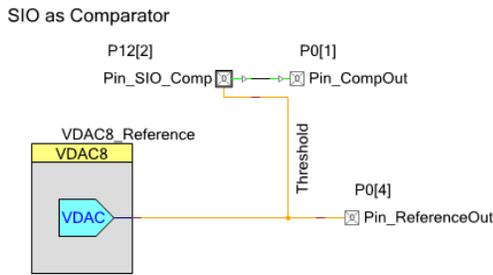


3.1 トップデザイン

デジタル入力ピンコンポーネントがトップデザインに配置され、外部リファレンスルーティングを可能にするために入力しきい値が V_{REF} に設定されます。このコンポーネントの名前は Pin_SIO_Comp です。VDAC 出力は SIO のリファレンス端子に接続されています。デジタル出力ピンコンポーネントは SIO 入力端子に接続され、Pin_CompOut という名前に変更されます。アナログピン Pin_ReferenceOut も VDAC に接続され、リファレンスを確認します。

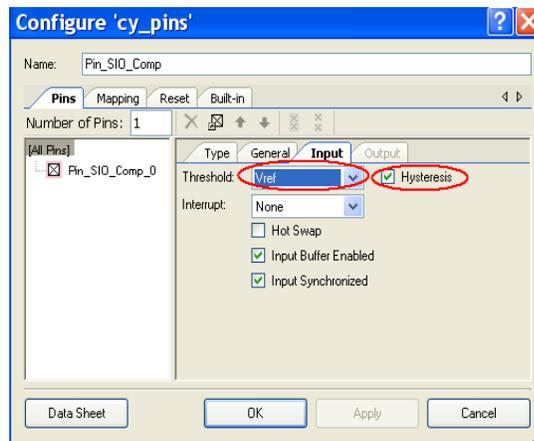
デザイン全体のリソース (*.cydwr) ファイルでは、ピン Pin_SIO_Comp、Pin_CompOut、および Pin_ReferenceOut が P12[2]、P0[1]、および P0[4] ピンにマップされます。

図 7. コンパレータのトップデザイン



3.2 デジタル入力ピンの設定

図 8. デジタル入力ピンの設定

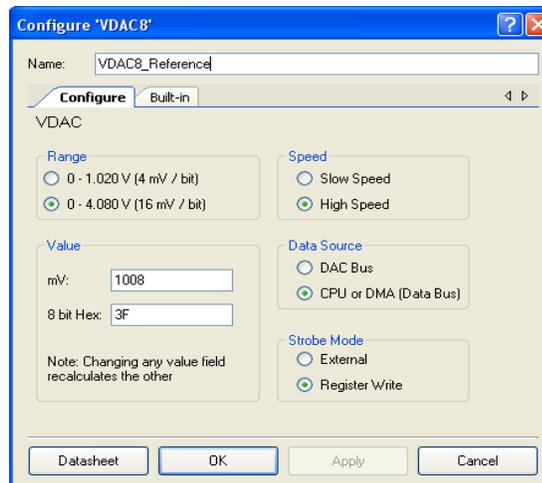


Input タブでは、しきい値が V_{REF} に設定され、ヒステリシスが有効になります。±50 mV のヒステリシスが SIO 入力バッファに提供され、ノイズの影響を除去します。SIO_HYST_EN レジスタは、SIO ピンごとに個別にヒステリシスを有効にします。詳細については、TRM を参照してください。

3.3 VDAC の設定

VDAC 電圧は 1 V に設定されています。

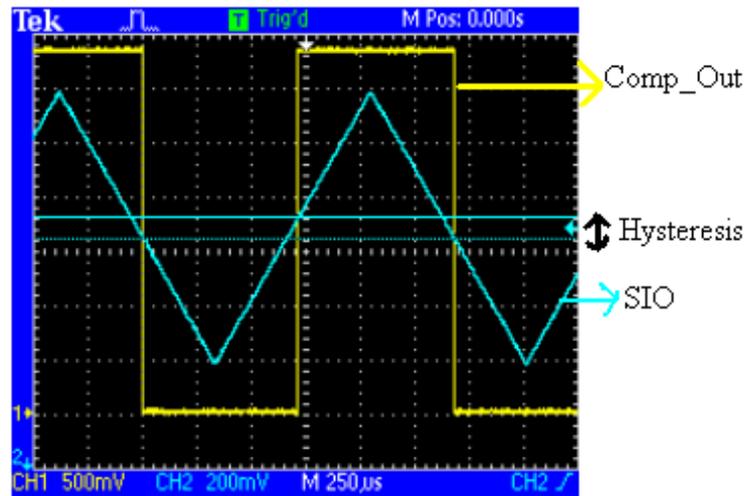
図 9. VDAC の設定



プロジェクトの詳細は次のとおりです。

1. プロジェクト SIO_Comparator を開き、CY8CKIT-001 開発キットで PSoC 3 および PSoC 5LP をビルドしてプログラムします。
2. 振幅 1Vp-p、オフセット 1 V の三角波が P12[2]に与えられます。
3. コンパレータ出力はピン P0[1]で確認できます。次の図に波形を示します。

図 10. コンパレータ波形



4 ヒント 2: コンパレータ ウェイクアップ

SIO コンパレータは、スリープモードとハイバネートモードではアクティブのままです。これらのモードからアクティブモードにデバイスをウェイクアップするために使用できます。これらのモードでは内部回路が無効になっているため、コンパレータからの基準信号は外部ピンからルーティングする必要があります。

注: SIO コンパレータを使用した電流は約 100 μ A です。

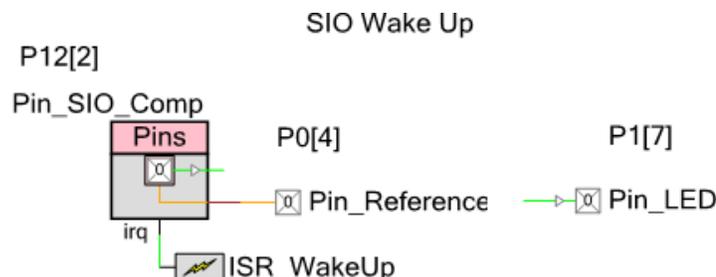
4.1 トップデザイン

前の例に示すように、SIO はコンパレータとして設定されます。SIO への参照は外部から与えられ、この端子は Reference という名前のアナログピンに接続されます。立ち上がりエッジでの割り込みは、SIO ピン構成で設定されます。割り込みコンポーネントは ISR_WakeUp という名前前で、SIO の「irq」端子に接続されています。

デザイン全体のリソース (*.cydwr) ファイルでは、ピン Pin_SIO_Comp、Pin_Reference、Pin_LED が P12[2]、P0[4]、P1[7]ピンにマップされます。

また、デバイスをスリープモードにするには、デバッグポートを無効にする必要があります。デザイン全体のリソース (*.cydwr) で System タブをクリックし、Debug ports select (DPS) を無効にします。

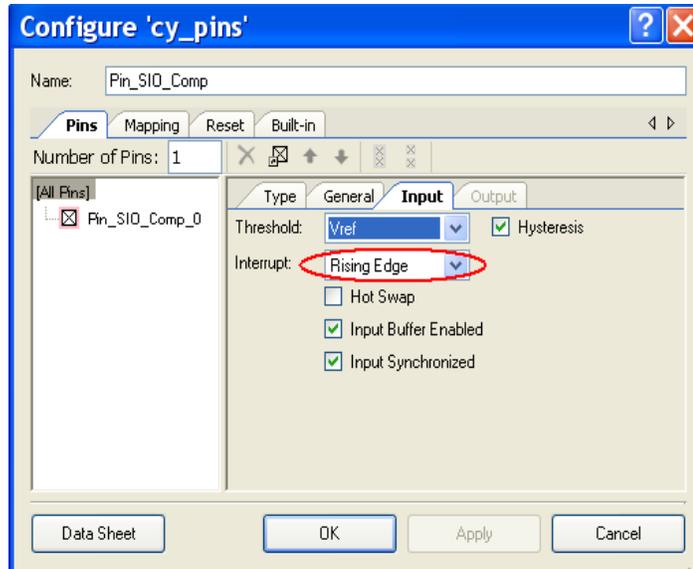
図 11. コンパレータウェイクアップ



4.2 設定

SIO ピンの割り込みは、立ち上がりエッジ割り込みとして設定されます。

図 12. SIO 割り込み構成



バックグラウンドループでは、デバイスは `CyPmSleep()` API を使用してスリープ状態になります。SIO 電圧がリファレンスと交差すると、コンパレータ出力で立ち上がりエッジが生成され、デバイスがスリープからウェイクアップします。ウェイクアップ後、デバイスは ISR 内の ISR ルーチンに入り、割り込みフラグがクリアされます。バックグラウンドループでは、再びスリープする前に `Pin_LED` ピンを切り替えます。`CyHibernate()` を使用して、ハイバネートモードでも同じコードを記述できます。

```
for (;;)
{
    /* Save all the clocks before going to sleep mode*/
    CyPmSaveClocks ();

    /* Puts the device in sleep */
    CyPmSleep (PM_SLEEP_TIME_NONE, PM_SLEEP_SRC_PICU);

    /* Restores all the clocks after coming to Active mode*/
    CyPmRestoreClocks ();

    /* When the device wakes up, it toggles the LED */
    Pin_LED_Write (Pin_LED_Read () ^ 1);

    /* Delays between next time the device goes to sleep */
    CyDelay (20);
}
```

プロジェクトの詳細は次のとおりです。

1. プロジェクト `SIO_WakeUp` を開き、CY8CKIT-001 DVK で PSoC 3 および PSoC 5LP をビルドしてプログラムしてください。
2. ポテンショメーター出力 VR (DVK の P14) は P12[2] に接続されています。J11 を ON の位置に設定して、ポテンショメーターに電力を供給します。
3. DVK の調整可能な抵抗 R11 を変更することにより、DVK の VADJ が 1.5 V に設定されます。VADJ (DVK の P14 上) は P0[4] に接続されています。
4. P1[7] は LED1 に接続されています。
5. DVK のポテンショメーター VR を変更してください。1.5 V を超えると、LED が切り替わります。

5 ヒント 3: チャージポンプ

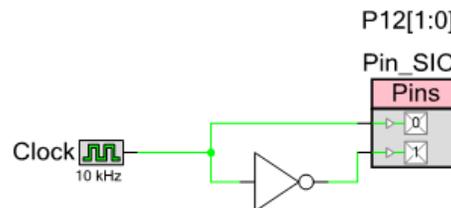
チャージポンプは一種の DC/DC コンバーターであり、エネルギーをコンデンサに蓄えて使用して、より高い電圧の電源を作成します。

5.1 トップデザイン

デジタル出力ピンコンポーネントがトップデザインに配置され、ピンの数が 2 に設定され、コンポーネントの名前が Pin_SIO に変更されます。Pin_SIO_0 ピンはオープンドレイン、ハイドライブとして設定され、Pin_SIO_1 はストロングドライブとして設定されます。Pin_SIO_0 の入力端子には 10 kHz のクロックが与えられ、Pin_SIO_1 の入力端子には反転クロックが与えられます。

デザイン全体のリソース (*.cydwr) ファイルでは、これらの 2 つの SIO ピンは P12[1:0] ピンにマップされます。

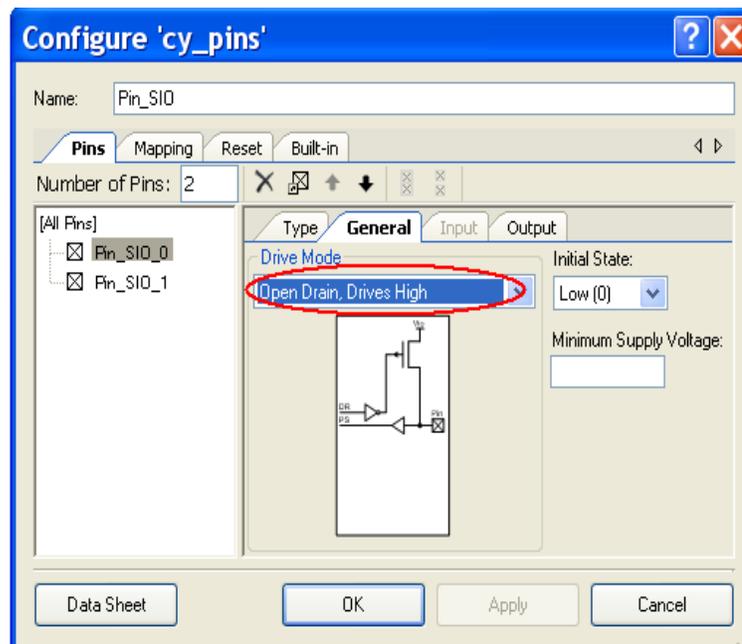
図 13. SIO チャージポンプのトップデザイン
Charge Pump Using SIO

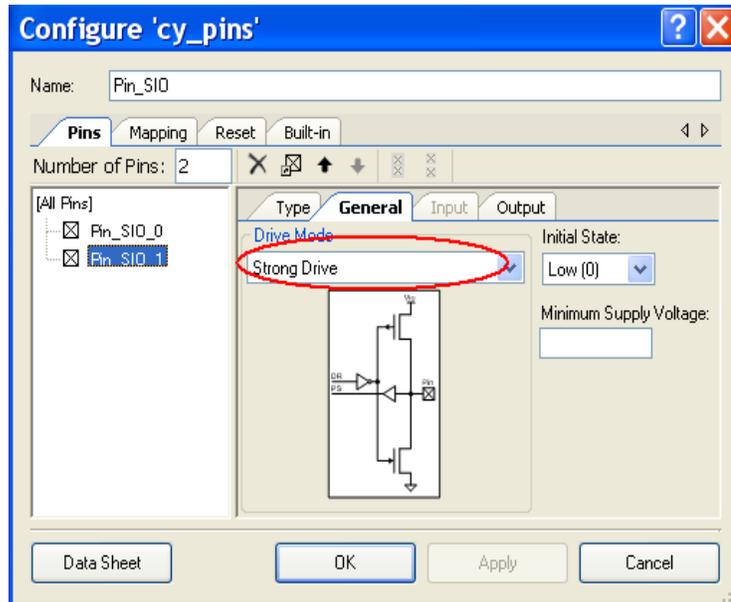


5.2 設定

Pin_SIO_0 および Pin_SIO_1 ピンのドライブモードの設定は次のとおりです。

図 14. SIO ピンのドライブモードの設定

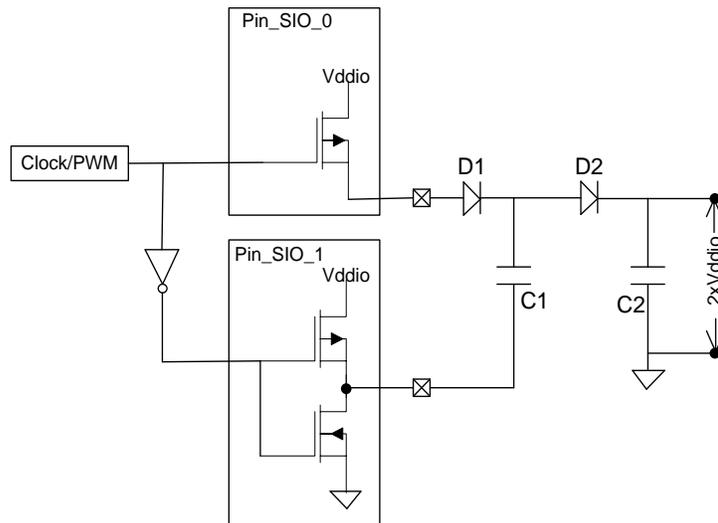




5.3 等価回路図

この SIO ペアに外部コンデンサを接続し、次のような回路を作成します。

図 15. チャージポンプの回路図



クロックまたは PWM が High になると、Pin_SIO_0 は Pin_SIO_1 の GND を基準にして、コンデンサ C1 を V_{DDIO} まで充電します。クロックが低い場合、オープンドレイン接続のため、Pin_SIO_0 はフローティングです。しかし、C1 のローサイドは現在 V_{DDIO} です。これにより、C1 のハイサイドで $2 \times V_{DDIO}$ 電圧が発生します。そしてダイオードが導通し、コンデンサ C2 が $2 \times V_{DDIO}$ に充電されます。

注: コンデンサ C2 は GND を基準としているため、 $2 V_{DDIO}$ 全体の電圧を確認できます。

この方法により、電圧を 2 倍にするチャージポンプが実装されます。SIO は V_{DDIO} に関係なく最大 5 V まで耐えることができるため、最大 5 V の電圧出力にはダイオード D1 は必要ありません。5 V を超える電圧では、ダイオードをピンで使用します。クロック制御の代わりに PWM を使用することもできます。コンパレータフィードバック付きの PWM は、フィードバック制御された電圧を実現できます。

プロジェクトの詳細は次のとおりです。

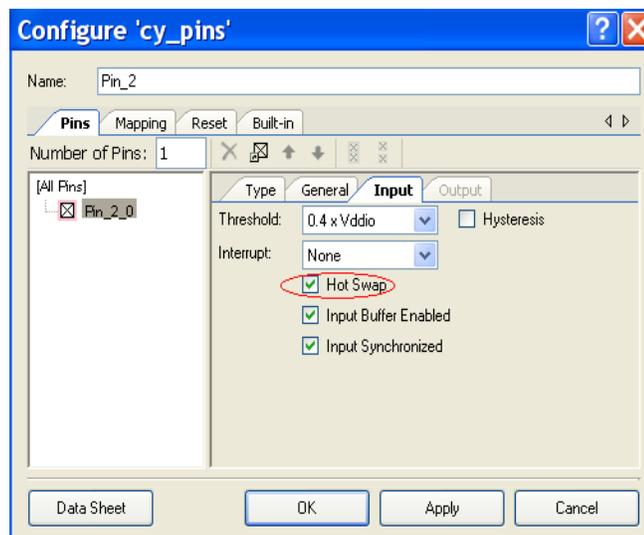
1. プロジェクト SIO_ChargePump を開き、CY8CKIT-001 (DVK) で PSoC 3 および PSoC 5LP をビルドしてプログラムしてください。
2. ダイオードとコンデンサは、図 15 に示すように接続されます。
3. コンデンサ C2 には $2 \times V_{DDIO}$ の電圧が見られます。

6 ヒント 4: レベルシフタ

SIO ピンは、I/O 電源電圧より高い入力電圧に耐性があります。ホットスワップ機能は、入力電圧が I/O 電源電圧より高い場合に、入力が I/O 電源レベルにクランプされるのを防ぎます。各 SIO ピンは、I/O 電源電圧に関係なく、最大 5 V の入力電圧に耐えることができます。入力電圧が I/O 電源電圧を超える場合、DC 入力リーク電流は 100 μ A 未満です。この機能により、SIO を I/O 電源電圧より高い電圧レベルに切り替えることができる外部バスに接続できます。

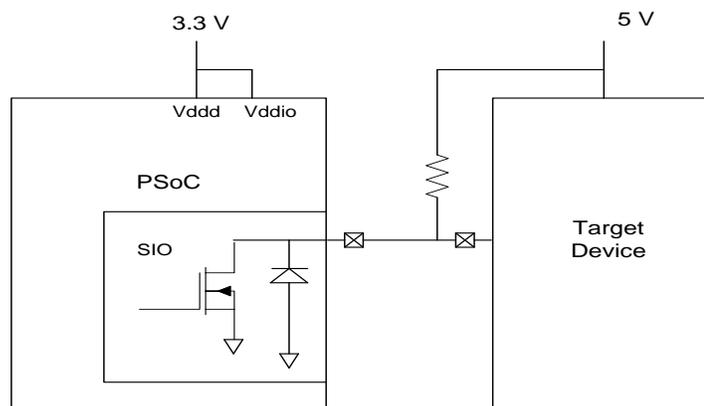
デジタル入力ピンの設定により、ホットスワップ機能が有効になります (図 16 を参照)。

図 16. ホットスワップの設定



ホットスワップ機能を使用して、さまざまな電圧レベルで動作する周辺機器にインターフェースしてください。次の例は、PSoC 3 または PSoC 5LP デバイスが 3.3 V で動作しているときに 5 V で動作するペリフェラルにインターフェースする方法を示しています。SIO ピンのドライブモードは Open Drain、Drive Low モードに設定されています。

図 17. ホットスワップを使用したアプリケーション



7 ヒント 5: 半波整流器

半波整流器は、SIO ピンのペアで実現されます。

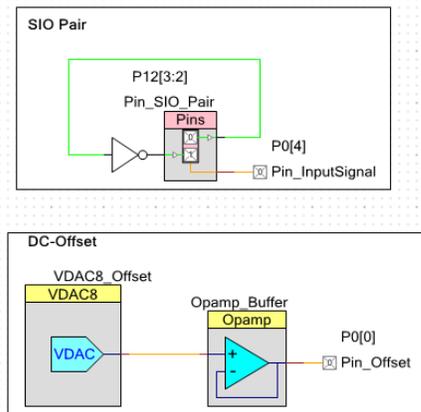
7.1 トップデザイン

デジタル出力ピンコンポーネントがトップデザインに配置され、ピンの数が2に設定され、コンポーネントの名前が Pin_SIO_Pair に変更されます。Pin_SIO_Pair_0 ピンは入力ピンとし、しきい値は V_{REF} に設定されます。Pin_SIO_Pair_1 は出力ピンとして、ドライブレベルは「V_{REF}」、ドライブモードはオープンドレイン、ドライブハイに設定されます。アナログピンは、Pin_InputSignal という名前で、SIOのリファレンス端子に接続されています。SIO_Pair_0 入力端子は反転され、SIO_pair_1 出力端子に接続されます。

VDAC コンポーネントが配置され、VDAC8_Offset という名前が付けられます。1 V の出力が得られるように設定されています。VDAC 出力は、オペアンプコンポーネントを使用してバッファされます。オペアンプは Opamp_Buffer という名前です。オペアンプに接続されたアナログピン Pin_Offset は、入力信号の DC オフセットを提供します。

デザイン全体のリソース (*.cydwr) ファイルでは、ピン Pin_SIO_Pair[1:0]、Input_Signal、および Offset が P12[3:2]、P0[4]、および P0[0]ピンにマップされます。

図 18. 半波整流器のトップデザイン



7.2 SIO ピンのペアリング

ピンを SIO ペアとしてマッピングするには、[All Pins] をクリックして、[Pair Selected SIOs] オプションを選択します。

図 19. SIO ペアの設定

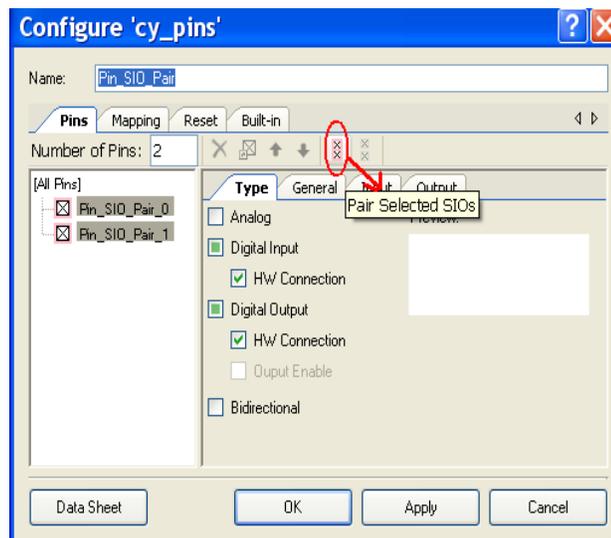
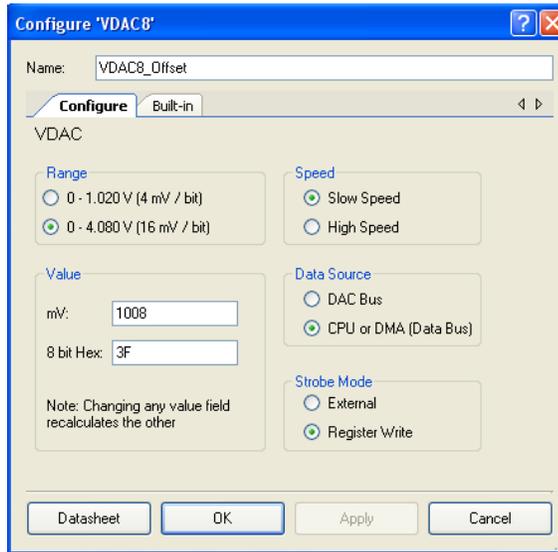
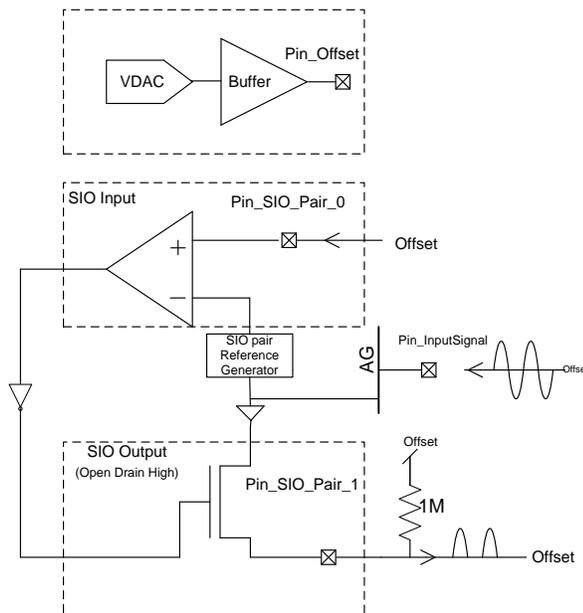


図 20. DAC の設定



7.3 等価回路図

図 21. 等価回路図



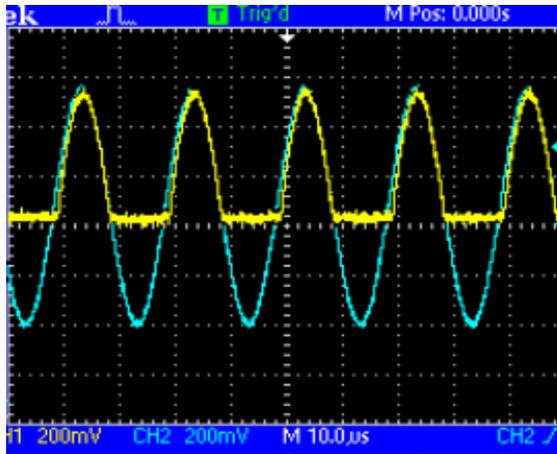
アナログ入力信号はオフセットでバイアスされ、SIO リファレンス端子に与えられます。Pin_SIO_Pair_0 はオフセット電圧に接続されています。信号が正の半サイクルにあるときは常に、SIO_Pair_0 入力は論理「Low」です。この入力は反転され、他の SIO ピン Pin_SIO_Pair_1 を駆動するために使用されます。Pin_SIO_Pair_1 は、Regulated モードで設定されているため、リファレンスを出力として提供します。したがって、入力信号の正の半サイクルでは、SIO_Pair_Ref の出力は信号そのものです。負のサイクルでは、Pin_SIO_Pair_1 は、オープンドレイン、ドライブ High で設定されているため High-Z を出力します。プルアップ抵抗は、負のサイクル中に出力をオフセットに等しくするために接続されます。

注: 差動モードでの SIO 入力しきい値の最大制限は $V_{DDIO}/2$ であるため、信号は $V_{DDIO}/2$ 未満である必要があります。プロジェクトの詳細は次のとおりです。

1. プロジェクト「SIO_HalfWaveRectifier」を開き、CY8CKIT-001 DVK で PSoC 3 および PSoC 5LP をビルドしてプログラムしてください。
2. アナログ信号は、P0[0]について P0[4]に与えられます。これにより、入力信号が「Offset」でバイアスされます。
3. オフセット電圧 P0[0]を P12[2]に接続してください。
4. P12[3]と P0[0]の間に 1 M のプルアップ抵抗が接続されています。
5. ピン P12[3]の半波整流出力を観察してください。

波形: 50 kHz、入力 1 V_{p-p}、オフセット 0V。

図 22. 半波整流器の波形



8 ヒント 6: ピーク検出器

このセクションでは、単一の SIO がアナログ信号のピーク検出器として機能する方法について説明します。アナログ信号のピークで遷移するデジタル信号を提供します。SIO のしきい値は $V_{DDIO}/2$ 未満である必要があるため、アナログ信号の振幅レベルは $V_{DDIO}/2$ のピークツーピーク (最大値と最小値との差) 未満である必要があります。

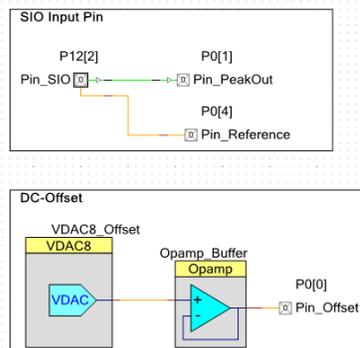
8.1 トップデザイン

デジタル入力ピンはトップデザインに配置されています。しきい値は V_{REF} に設定され、ピンには「Pin_SIO」という名前が付けられます。SIO のリファレンス端子は、Pin_Reference という名前のアナログピンに接続されています。

VDAC コンポーネントが配置され、「VDAC8_Offset」という名前が付けられます。2 V の出力が得られるように設定されています。VDAC 出力は、オペアンプコンポーネントを使用してバッファされます。オペアンプは Opamp_Buffer という名前です。オペアンプに接続されたアナログピン Pin_Offset は、入力信号の DC オフセットを提供します。

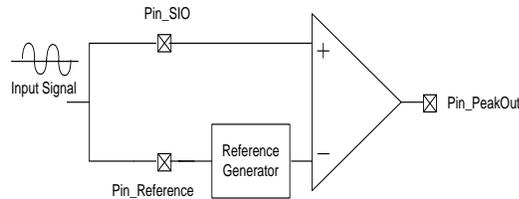
デザイン全体のリソース (*.cydwr) ファイルでは、ピン Pin_SIO、Pin_Reference、Pin_PeakOut、および Pin_Offset が P12[2]、P0[4]、P0[1]および P0[0]ピンにマップされます。

図 23. ピーク検出器のトップデザイン



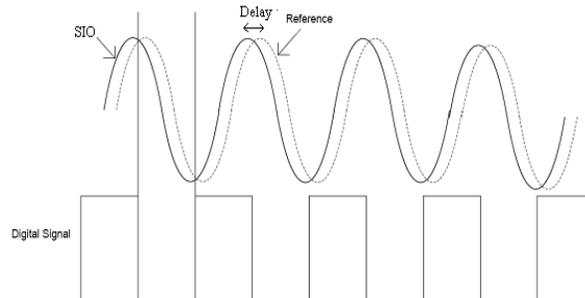
8.2 等価回路図

図 24. 等価回路図



アナログ信号はオフセット電圧でバイアスされます。この信号は、SIO ピンと SIO のリファレンスの両方に接続されます。SIO のリファレンスはリファレンスジェネレーターに送られ、コンパレータのしきい値入力に到達するまでにわずかな遅延が発生します。SIO 入力とリファレンス入力との間のこの遅延により、ピーク検出器になります。図 25 に示すように、入力信号は SIO 入力バッファで信号の遅延バージョンと比較され、コンパレータの出力はピークでゼロと交差します。

図 25. 入力信号と遅延信号を示す波形

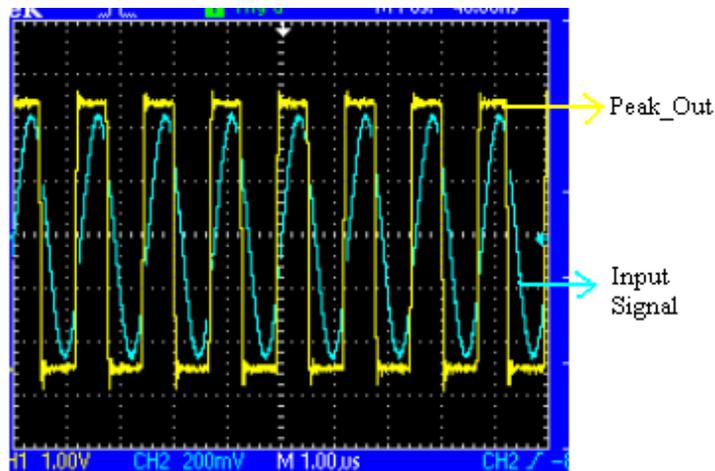


プロジェクトの詳細は次のとおりです。

1. プロジェクト SIO_PeakDetector を開き、CY8CKIT-001 DVK で PSoC 3 および PSoC 5LP をビルドしてプログラムします。
2. アナログ信号は P0[0] にバイアスされ、P12[2] と P0[4] の両方に与えられます。
3. デジタル出力はピン P0[1] で確認できます。
4. 次の図に波形を示します。

入力信号は 800 kHz、1 Vp-p、およびオフセットは 2 V です。V_{DDIO} = 5 V です。

図 26. ピーク検出器の波形



9 ヒント 7: SPST/SPDT スイッチとしての SIO

SIO は、ハードウェアアナログスイッチとして使用できます。

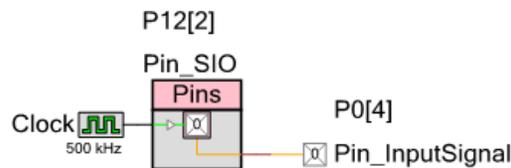
9.1 トップデザイン

デジタル出力ピンはトップデザインに配置されています。ドライブレベルは V_{REF} に設定され、ピンの名前は Pin_SIO です。「Pin_InputSignal」という名前のアナログピンが SIO のリファレンス端子に接続されています。クロックコンポーネントは周波数 500 kHz に設定され、SIO の出力端子に接続されます。

デザイン全体のリソース (*.cydwr) ファイルでは、ピン Pin_SIO および Pin_InputSignal が P12[2] および P0[4] ピンにマップされます。

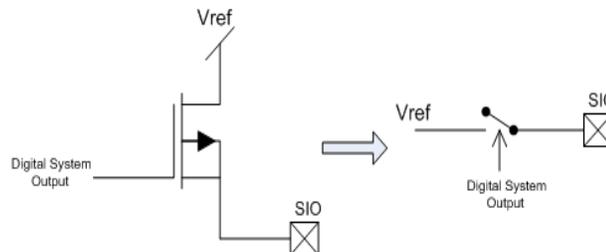
図 27. SIO スイッチのトップデザイン

SIO as a switch



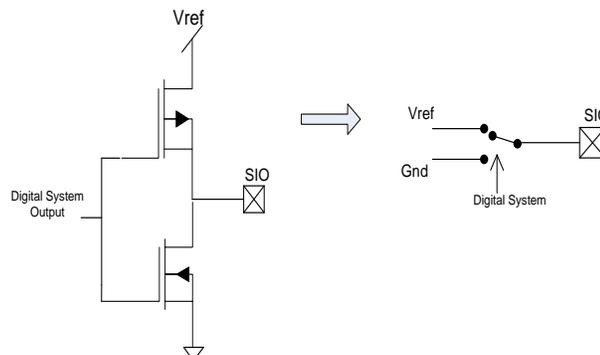
Single Pole Single Throw スイッチ (SPST): SIO ピンのドライブモードは、オープンドレイン、ドライブハイとして設定します。SIO へのデジタル出力は、 V_{REF} および SIO ピンを接続/切断します。

図 28. SPST スイッチの等価回路



Single Pole Double Throw スイッチ (SPDT): SIO ピンのドライブモードはストロングドライブとして設定します。SIO へのデジタル出力は、SREF ピンを V_{REF} と Gnd の間で接続または切断します。

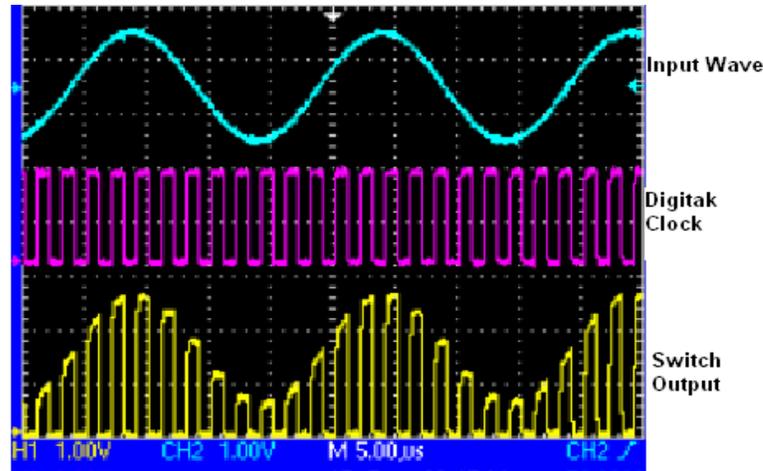
図 29. SPDT スイッチの等価回路



プロジェクトの詳細は次のとおりです。

1. プロジェクト「SIO_Switch」を開き、CY8CKIT-001 DVK で PSoC 3 / PSoC 5LP をビルドしてプログラムしてください。
 2. 入力信号は P0[4] に与えられます。
 3. 500 kHz でスイッチングされる出力は、P12[2] で確認できます。P12[2] の出力は、信号とグランドを切り替えて、SPDT 機能を提供します。
 4. 次の図に波形を示します。
- 500 kHz のクロックは、「ストロングドライブ」モードで設定された SIO ピンを駆動するために作成されます。

図 30. SIO スイッチを示す波形



10 ヒント 8: スリープモードでの SIO の処理

PSoC デバイスをスリープモードにする前に、SIO 入力ピンをシングルエンドモードにして、PSoC スリープ電流を減らす必要があります。差動モードの SIO は 100 uA の大電流を消費します。SIO をシングルエンドモードにするには、レジスタ PRT12_SIO_CFG を使用して、特定の SIO ペアのビットをゼロに設定します。スリープ状態から抜け出した後、ビットを以前の値に戻す必要があります。

PRT12_SIO_CFG:

SIO[7:6]		SIO[5:4]		SIO[3:2]		SIO[1:0]	
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

11 まとめ

PSoC 3 および PSoC 5LP の SIO ピンは、いくつかの特別なタスクを実行するように設計されています。これらは、PSoC Creator の設定セクションで説明されているように、レベルトランスレータ、ホットスワップ機能、高電流機能です。ただし、SIO ピンは非常に機知に富み、柔軟性があるため、これを使用して多くの設計を実行できるため、強力な機能になります。したがって、すべての設計で SIO の機能を活用する方法を検討することは有用です。

著者について

名前: Pavankumar Vibhute
 役職: システムエンジニアシニア

改訂履歴

文書名: PSoC® 3 / PSoC 5LP の SIO のヒントとコツ

文書番号: 001-60580

版	ECN	発行日	変更内容
**			本版は英語版 001-60580 Rev. *1 について、CYPRESS DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmuc
タッチセンシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor
An Infineon Technologies Company
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2010-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が付属しておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれか) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の非目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSOC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。