**高電力-低電圧モータードライブのOptimosTM 5の設計ガイドライン**



**AN\_2002\_PL51\_2003\_092712**

**モータードライブアプリケーションでOptiMOSTM 5 MOSFETを使用して設計する方法**

**このドキュメントについて**

**範囲と目的**

このドキュメントでは、OptiMOSTM 3 およびOptiMOSTM 5テクノロジーの違いと、それらを正常に交換する方法について説明します。データセットパラメータは、このドキュメントの焦点であり、並列MOSFETを処理して、それらの間でより良い電流共有を保証する方法も示しています。ゲートドライバ回路についてもこのドキュメントで説明しています。このドキュメントでは、これら2つのテクノロジの違いに対応するためにゲートドライバ回路を変更する方法について説明しています。

**対象とする訪問者読者**

このドキュメントは、OptiMOSTM 5を新しい設計で使用するか、OptiMOSTM 3をOptiMOSTM 5世代の既存の設計に置き換えて、軽電気自動車（LEV）などのモータードライブアプリケーション、フォークリフトなどのマテリアルハンドリング機器、および同様のアプリケーションを使用する設計エンジニアを対象としています。

**目次**

**このドキュメントについて 1**

**目次 1**

**1 前書き 2**

1.1 OptiMOSTM 3世代とOptiMOSTM 5世代の主な違い 2

**2 試験条件 3**

**3 連続ドレイン電流ID定格 4**

**4 ドレイン-ソースオン状態抵抗RDS（on） 5**

**5 内部ゲート抵抗Rgとゲート駆動回路 6**

**6 相互コンダクタンスgfs 9**

**7 入力容量Ciss、逆回復容量Crssおよび出力容量Coss 11**

**8 ゲート料金：Qg（th）、Qgs、Qgd、Qsw、Qg 13**

**9 ゲートしきい値電圧VGS（th） 14**

**10 逆ダイオード回復電荷Qrr、および逆回復時間trr 16**

**11 熱抵抗、ジャンクションケースRth\_J-C 17**

**12結論 18**

**13 改訂履歴 19**

**1 前書き**

今日の急成長しているモータードライブ市場では、モーターインバーターなどの製品のコストとパフォーマンスを最適化するために、新しいテクノロジーに精通することが重要です。特に、インフィニオンのOptiMOSTMファミリのMOSFETは、低電圧モータードライブに適しています。このドキュメントでは、60V～250Vの電圧範囲でMOSFETを一般的に使用する高出力低電圧モータードライブ（HP LVMD）アプリケーションについて説明します。

V〜250V。

具体的には、インフィニオンの前世代のOptiMOSTM 3 MOSFETを検討し、それらをOptiMOSTM 5世代と比較します。よくある間違いは、2つのMOSFETが同じメーカーのものであっても、それらを交換するときに同じように動作すると想定することです。したがって、これら2つの世代のいくつかの重要な違いを理解することが重要です。

**1.1 OptiMOSTM 3およびOptiMOSTM 5世代の主な違い**

OptiMOSTM 5は現在、最大150 Vの電圧クラス、およびOptiMOSTM 3は最大200Vの電圧クラスで利用できます。

表1に、HP LVMDの主要なパラメーターを示します。この例では、両方のテクノロジーの150 V MOSFETを見ていきます。OptiMOSTM 3のクラス最高の製品は7.2mΩで、OptiMOSTM 5の場合は4.4mΩですが、ここでは、OptiMOSTM 5で利用可能な最も近いRDS（on）値である7.3mΩを比較します。

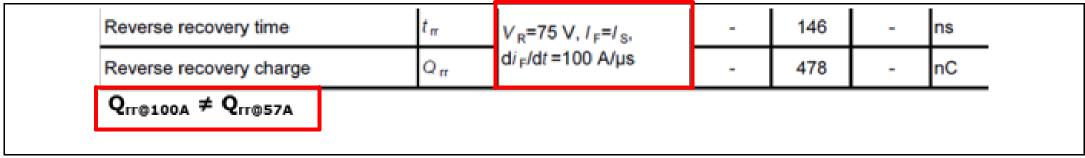
**表1 データシートの概要–一般的な値**

|  |  |  |
| --- | --- | --- |
| **パラメータ** | **OptiMOSTM 3** | **OptiMOSTM 5** |
|  | IPB072N15N3 G | IPB073N15N5 |
| 試験条件 | At ID = 100 A | At ID = 57 A |
| 現在のIDを排出します | 100 A | 114 A |
| ドレイン-ソースオン状態抵抗RDS（on）、max | 7.2 mΩ | 7.3 mΩ |
| 内部ゲート抵抗Rg | 2.3 Ω | 1.1 Ω |
| 相互コンダクタンスgfs | 130 S | 91 S |
| 入力容量Ciss | 5470 pF | 3600 pF |
| 出力容量Coss | 638 pF | 900 pF |
| 逆伝達容量Crss | 10 pF | 21 pF |
| 出力電荷Qoss | 179 nC | 136 nC |
| ゲートからソースへの電荷Qgs | 30 nC | 21 nC |
| ゲートからドレインへの電荷Qgd | 11 nC | 10 nC |
| スイッチングチャージQsw | 25 nC | 17 nC |
| ゲートチャージ合計Qg | 70 nC | 49 nC |
| ゲートしきい値電圧VGS(th） | 3 V (min. 2 V, max. 4 V) | 3.8 V (min. 3.0 V, max. 4.6 V) |
| ダイオード逆回復時間trr | 146 ns | 69 ns |
| ダイオード逆回復電荷Qrr | 478 nC | 96 nC |
| 熱抵抗、ジャンクションケースRth、JC | 0.5 K/W | 0.7 K/W |

この表に示されているように、どのパラメーターも同じ値を持っていません。次のセクションでは、それらがアプリケーションのパフォーマンスにどのように影響するかについて説明します。

**2 試験条件**

2つのMOSFETを比較するときは、テスト条件が異なる可能性があるため、注意を払うことが重要です。この場合、OptiMOSTM 3のテスト条件は100Aで、OptiMOSTM 5のテスト条件は57Aです。これは純粋にテスト条件であり、デバイスのパフォーマンスを示すものではありません。この値が異なる場合、このパラメーター値はテスト条件によって変化するため、Qrrなどの一部のデータシートパラメーターは比較できない場合があります。



**図1 データセットデータシートのテスト条件**Qrrの詳細については、セクション10を参照してください。

**3 連続ドレイン電流ID定格**

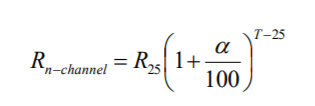
ID電流定格は、定義されたテスト条件下でMOSFETが流すことができる電流の量を示します。MOSFETのIDは異なる境界条件に基づくことができ、その結果、ID定格は同じ製品で異なります。

インフィニオンの以前のID評価方法には、PCB温度が一定の85°Cであるという仮定が含まれていました。その結果、他の一部のメーカーのデータシートでは25°Cを想定しているため、インフィニオン製品は低電流定格の製品として認識されていました。このため、インフィニオンは別のアプローチを採用し、PCB温度がケース温度に等しい、つまり25°Cから175°Cまで変化すると仮定しました。これははるかに現実的なシナリオであると同時に、競合他社の部品とのより良い比較を可能にします。

**詳細については、インフィニオンのアプリケーションノート「低電圧MOSFETのデータシートの最大ドレイン電流ID定格への新しいアプローチ」を参照してください。**

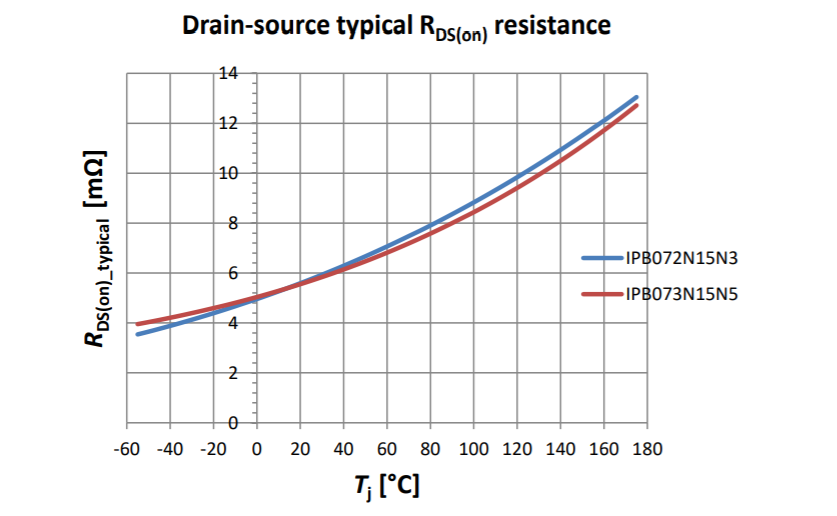
**4 ドレイン-ソースオン状態抵抗RDS（on）**

ドレイン-ソースのオン状態抵抗RDS（on）は、常に25°Cで評価されますが、必ずしも同じ電流で評価されるとは限りません。幸い、RDS（on）値に対するIDテスト電流の影響は最小限です。さらに重要なことに、温度係数は異なる可能性があります。これは、温度係数が異なる2つの製品の場合、結果のRDS（on）が高温で異なることを意味します。IPB072N15N3、IPB073N15N5を使用したこの例では、温度係数の差は最小です。RDS（on）と温度係数αの関係を表す式は次のとおりです。



* R25 – 25°CでのRDS（on）値
* T –シリコンダイの新しい温度

図2は、-50°C〜175°Cの温度でのRDS（on）の値を示しています。



**図2 ドレイン-ソースRDS（on）抵抗–温度依存性**

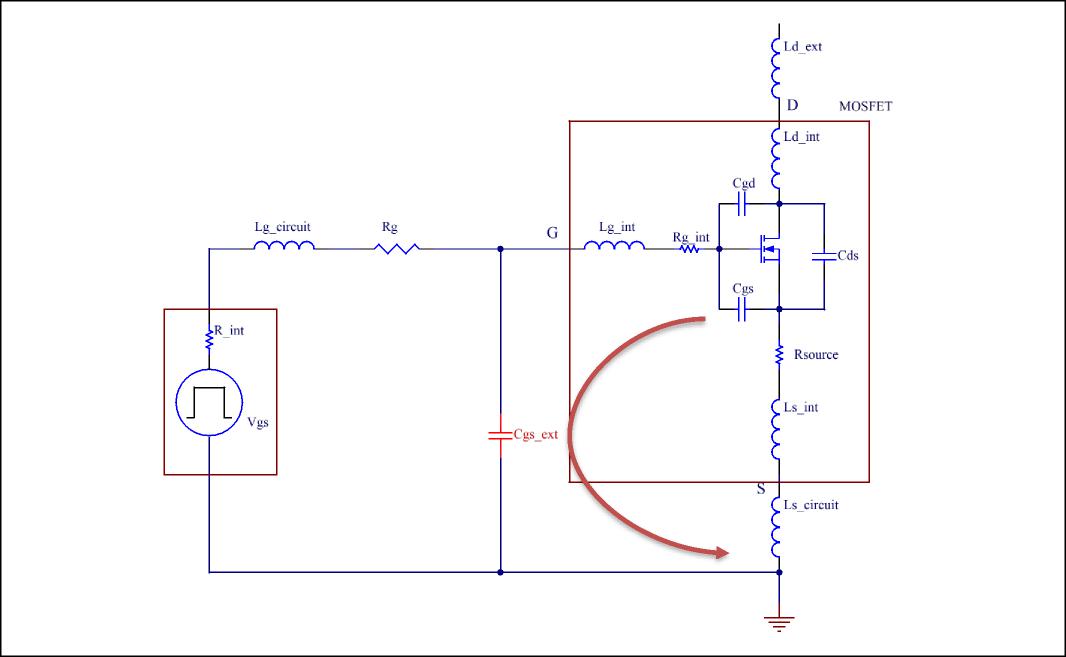
**5 内部ゲート抵抗Rgとゲート駆動回路**

MOSFETの技術と内部構造に応じて、内部ゲート抵抗Rgは、同じRDS（on）を持つMOSFETでは異なる場合があります。この例では、IPB072N15N3の値は2.3 CΩ）であり、IPB073N15N5の値は1.1 CΩ）です。

より遅いスルーレートが必要な場合は、外部Cgsコンデンサを接続するのが一般的ですが、この場合、設計者はこの追加のコンデンサが発振を引き起こさないことを確認する必要があります。

図3に示すように、追加された外部コンデンサCgs\_extは、内部および外部の寄生成分を使用して共振回路を構築します。

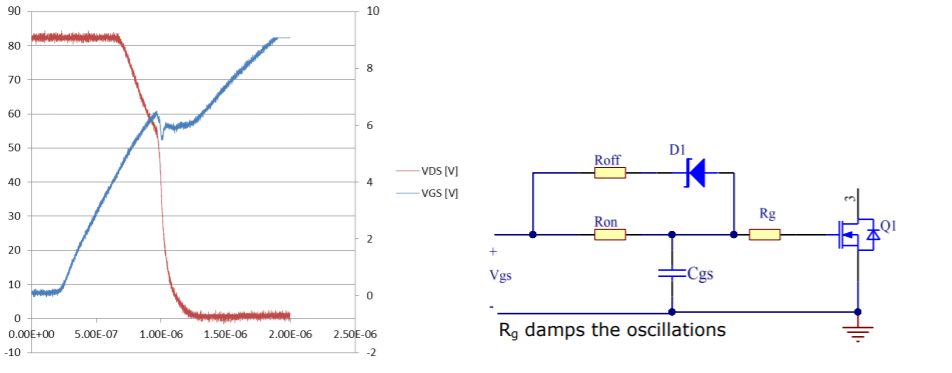
このループのRgはダンピング抵抗として機能し、値が小さすぎると回路が不安定になり、発振を開始する可能性があります。

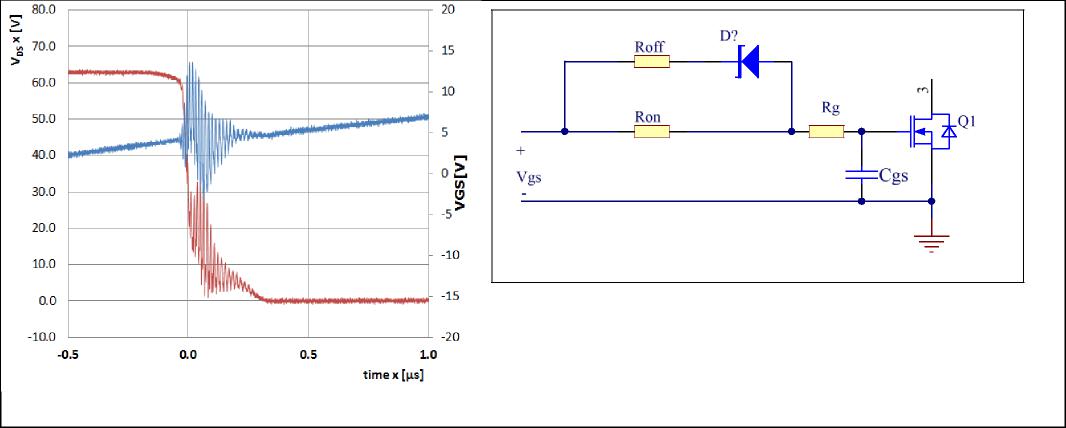


**図3 MOSFETの寄生素子（赤いボックス）と外部回路**

図4は、Cgs\_extがMOSFETのゲートソースに接続されている場合のドレイン-ソースおよびゲート-ソースの発振を示しています。図5は、ゲートと外部コンデンサの間に10 C CΩ未満の外部抵抗を導入するだけで、この問題の解決策を示しています。 。

**図4 Cgsがゲートソースに直接接続されたVDS（red）およびVGS（blue）波形**





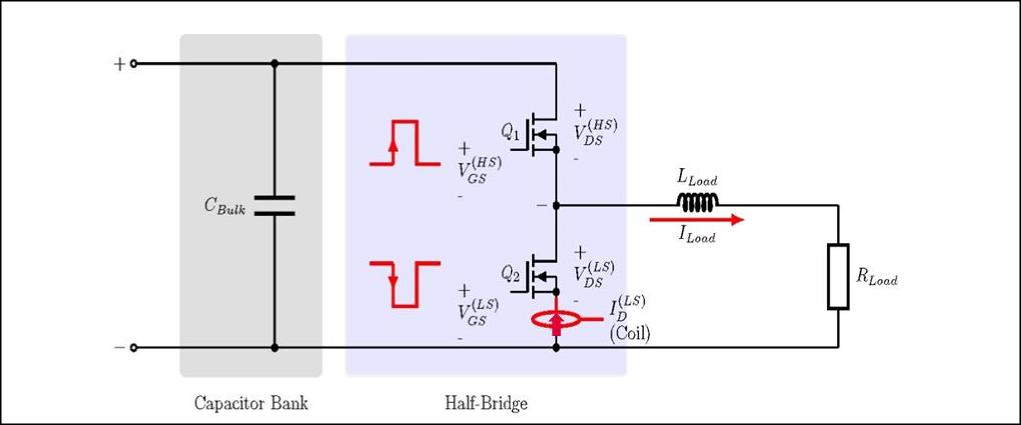
MOSFETのゲートソースピンに直接Cgsを導入すると、激しい発振を引き起こす可能性があります

**図5 ゲートとコンデンサの間に外部RgがあるVDS（red）とVGS（blue）の波形**

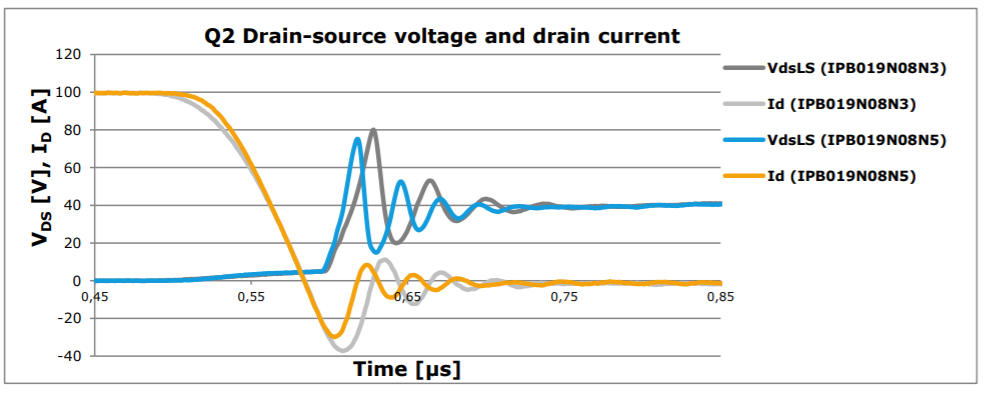
これまで、150Vテクノロジーのケースを見てきました。80 Vテクノロジーをざっと見て、OptiMOSTM 3とOptiMOSTM 5の違いを観察してみましょう。

図6に示す単純なハーフブリッジトポロジでは、ハイサイドMOSFETをオンにすることによって負荷電流が生成され、Q2の出力電圧とID-ドレイン電流にいくつかの違いが見られます。

図7では、IDの同じdi / dt値を取得することを目指しており、この例ではRg = 40 C）を使用しています。OptiMOSTM 3 IPB019N08N3およびOptiMOSTM 5 IPB019N08N5の場合、Rg = 40 C）Ωを使用しており、ゲート抵抗値をRg = 64 C）Ωに増やす必要があります。 。さらに、OptiMOSTM 5は、アバランシェ状態を防ぐ低いVDSオーバーシュートと、スイッチング損失を減らす高いdv / dtを示します。主な要因は、QrrとIrrmの値が低いことです（QrrとIrrmの詳細については、セクション10を参照してください）。



**図6 簡略化されたハーフブリッジテスト回路**



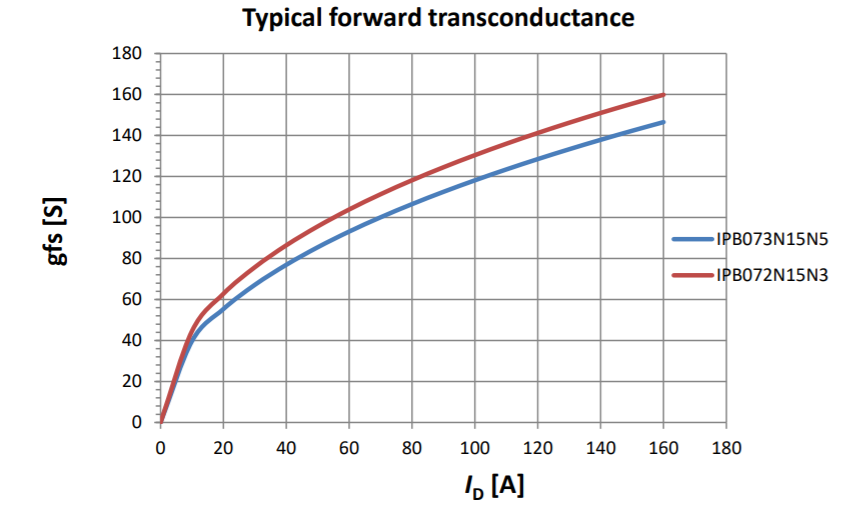
**図7 Q2のVDS–出力相電圧とQ2のID –MOSFET電流**

**6 相互コンダクタンスgfs**

相互コンダクタンスは、VGS電圧の変化によるID電流の変化を示すパラメータです。次の式で表すことができます。

OptiMOSTM 3の150VクラスをOptiMOSTM 5と比較すると、IPB073N15N5の値は91 S、IPB072N15N3の値は130Sであることがわかります。ただし、IPB073N15N5はID = 57 Aでテストされ、IPB072N15N3はID = 100 Aでテストされたことに注意してください。公正な比較を行うには、データシートグラフを使用して、ID = 100AでのIPB073N15N5のgfsの値を取得する必要があります。この値は118Aです。図8は、両方のgfs曲線を示しています。

**図8 典型的標準的な順方向相互コンダクタンス**

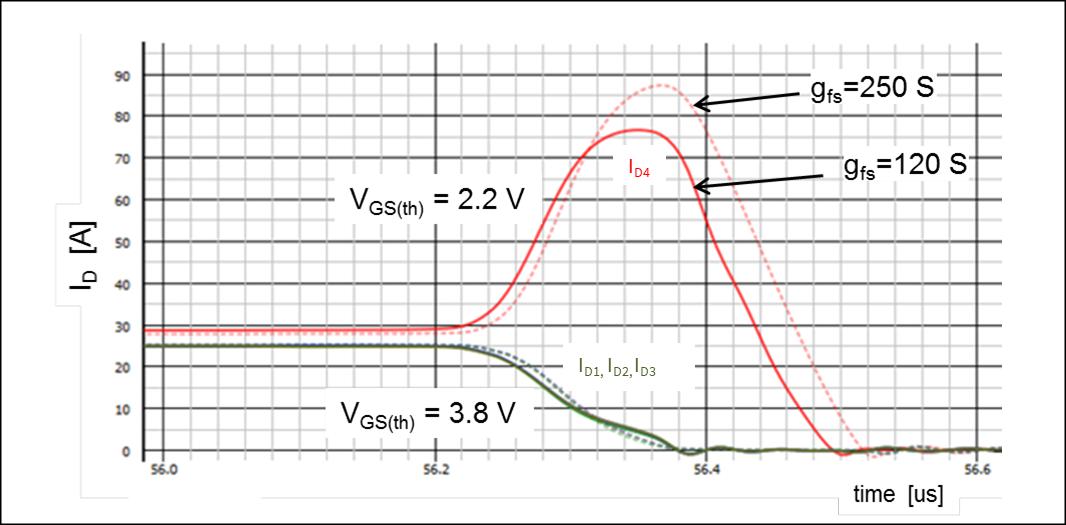


gfsの実際的な意味は、並列MOSFET間の電流共有に貢献します。

この意味で、gfs値が高いほど、gfsが低いMOSFETと同じ電流共有を実現するために、Vthスプレッドを小さくする必要があります。

幸い、電流共有に対するこのパラメータの影響はそれほど強くありません。図9では、極値は、異なるgfsによる電流の不均衡を示していると想定されています。

このグラフは、4つの並列80 V MOSFET、IPB019N08N5をシミュレートすることによって得られました。ここで、1つのMOSFETは最小のVGS（th）を持ち、残りの3つのMOSFETは最大のVGS（th）値を持っていました。この構成では、gfsは120Sから250Sまで変化しました。VGS（th）の不一致の影響は、gfsの不一致よりも電流共有にはるかに大きな影響を与えると結論付けることができます。



**図9 現在の共有に対するVGS（th）とgfsの影響**

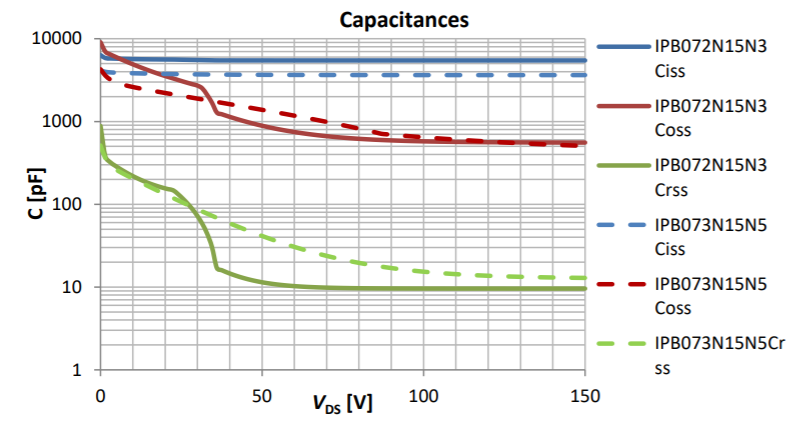
**7 入力容量Ciss、逆回復容量Crssおよび出力容量Coss**

入力容量Ciss = Cgs + Cgdは、高いスイッチングレートで充電および放電する必要があるため、ゲートドライバの損失に寄与します。ゲートソース容量Cgsは、ドレイン電流di / dtの変化率に影響を与えます。他のすべてのパラメータが同じであると仮定すると、Cgsの充電が速いため、Cgsが低いと、MOSFETはCgsが高いMOSFETよりもdi / dtが高くなります。di / dtを減らすために、より高い値のゲート抵抗を使用できます。

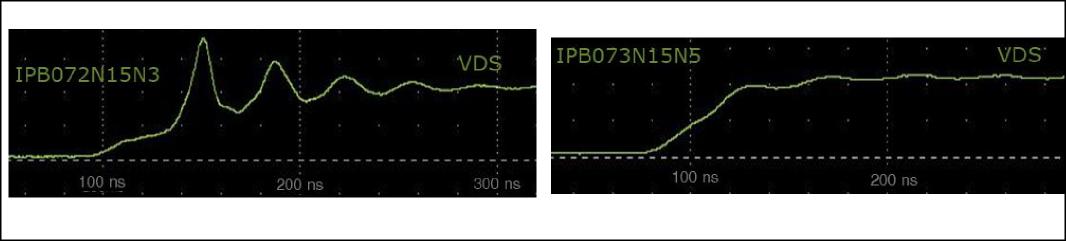
実際、このパラメータはID電流の変化を作成するために提供する必要のある電荷量を真に反映しているため、Qgsを使用する必要があります。

この例では、Ciss = 5470 pF（Qgs = 30 nC）のIPB072N15N3およびCiss = 3600 pF（Qgs = 21 nC）のIPB073N15N5は、OptiMOSTM 5がより少ないゲート電荷でIDの遷移を持つことを示しています。

ミラー容量とも呼ばれる逆伝達容量Crssは、ドレイン-ソース間電圧VDSが遷移しているMOSFETのもう1つの寄生容量です。図10では、OptiMOSTM 5の線形容量が多く、図11に示すようにVDSのスイッチング波形に反映されていることがわかります。



**図10150 V OptiMOSTM 3、OptiMOSTM 5の静電容量**



**図11 ドレイン-ソース間電圧に対する寄生容量の影響**

VDSのスムーズな移行は、オーバーシュートの低減とEMIの低減に直接つながります。

データシートに記載されている**出力容量Coss = Cgd + Cds**は、指定されたテスト電圧（この場合は75 V）での図10の1点のコンデンサ値です。Coss曲線の直線性は、図10に示すVDS波形にも影響を与えます。

出力電荷Qossは、指定されたVDD電圧（この場合は0 V〜75 V）でのCossの単純な積分です。この値は、MOSFETのターンオンおよびターンオフごとに充電または放電する必要があります。データシートから、OptiMOSTM 3の値は179nC、OptiMOSTM 5の値は136nCであり、OptiMOSTM 5世代のスイッチング損失が低くなることがわかります。

Qoss電荷は図17に示すQrr領域に含まれていますが、Qrrとのみ呼ばれることがよくあります。

**8 ゲート料金チャージ：Qg（th）、Qgs、Qgd、Qsw、Qg**

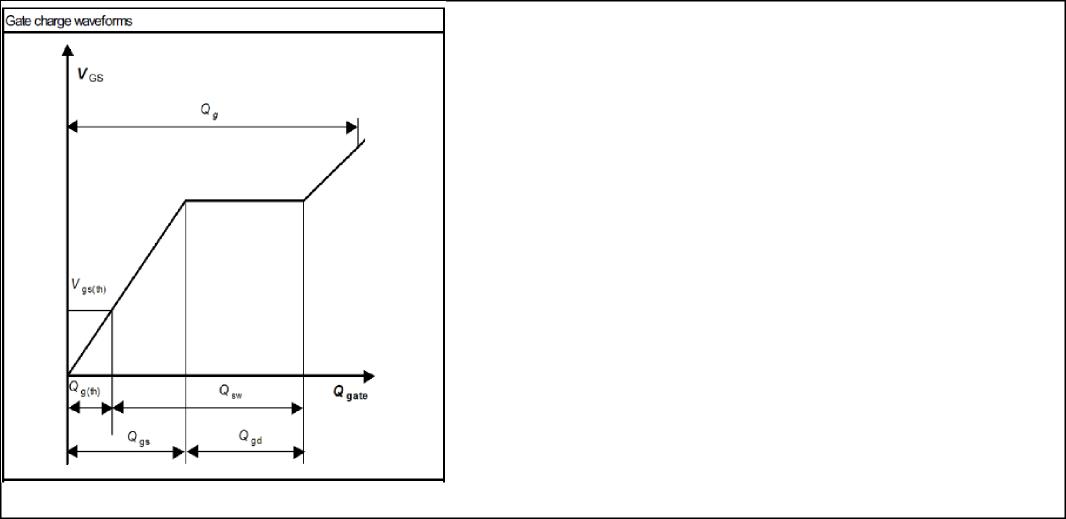
**Qgs** – ID電流遷移を完了するために必要な料金チャージで、IDの変化率、つまりdi / dtに影響します。

**Qg（th**）–ID電流変化の開始に到達するためにゲートドライバによってMOSFETに適用される電荷チャージ

**Qg** –MOSFETを完全にオンにするために必要な総電荷トータルチャージ

**図12**を参照すると、データシートに記載されているすべての料金チャージを特定できます。

**図12ゲート電荷チャージ波形**

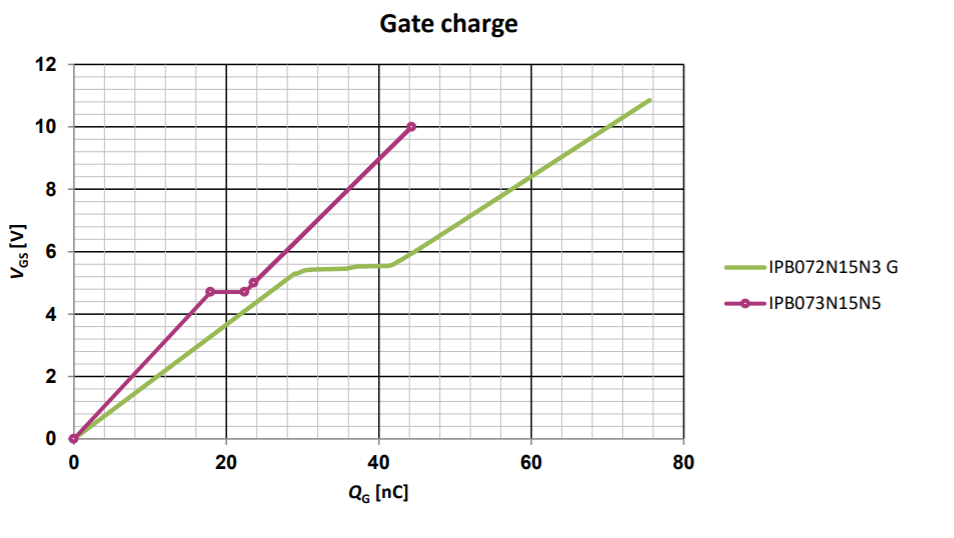


Vplateau

**Qgd** – VDS電圧遷移を完了するために必要な電荷チャージであり、VDSの変化率に影響します。つまりdv / dt

**Qsw =（Qgs + Qgd-Qth）**–IDとVDSの移行を完了するために必要な料金チャージ

この例では、OptiMOSTM 5のQgdはOptiMOSTM 3よりも小さく、必要なゲート駆動電流は低くなっています。

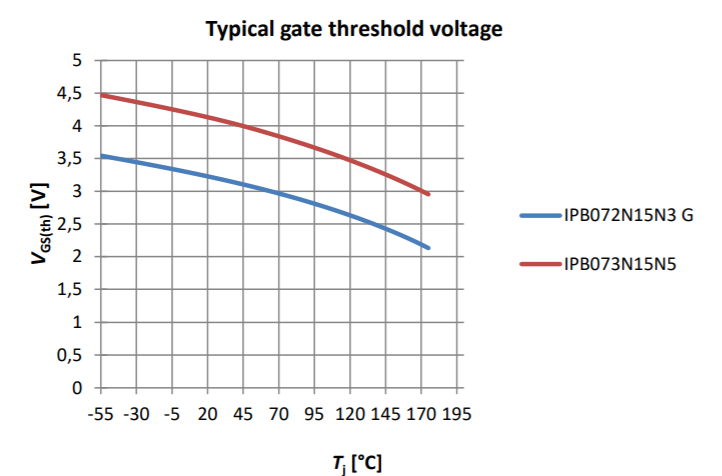


**図13 OptiMOSTM 3およびOptiMOSTM 5のゲート電荷チャージ**

**9 ゲートしきい値電圧VGS（th）**

この電圧は、ID電流変化の開始を定義します。ゲートリンギングが発生する可能性のあるアプリケーションでは、VGS（th）が低いMOSFETが意図せずにオンになる可能性があります。図14に示すように、温度が高くなると、VGS（th）レベルが低下します。

OptiMOSTM 5の150Vの最小VGS（th）電圧は1 V（2Vから3V）増加し、ノイズに対するゲートソースの耐性が向上します。



**図14 典型的標準的なゲートしきい値電圧**

***注意： 多くのMOSFETが並列接続されている高出力モータードライブなどのアプリケーションでは、MOSFET間のVGS（th）の差をできるだけ小さくする必要があります。この値は、MOSFETテクノロジと製造精度に依存します。***

インフィニオンMOSFETは非常に狭いΔVGS（th）生産傾向を示しており、並列化が必要な大電流アプリケーションに最適です。さらに、マージされていないロットのMOSFETを使用することで、さらに狭いΔVGS（th）を得ることができます。これにより、MOSFETが単一の製造ロットから確実に供給されます。

VGS（th）の不均衡の影響を示すために、6つのMOSFETがハーフブリッジ構成で並列接続されています。VGS（th）が最も低いMOSFET（MOSFET番号図15の5）は、他のMOSFETよりも最大の電流を消費し、より多くの熱を発生します。VGS（th）の温度係数が負である（Tjが高いほどVGS（th）が減少する）ため、VGS（th）が最も低いMOSFETでは熱暴走が発生する可能性があります。



**図15 MOSFET番号5はVGS（th）が最も低く、温度が最も高い**

**10 逆ダイオード回復電荷チャージQrr、および逆回復時間**

**trr**

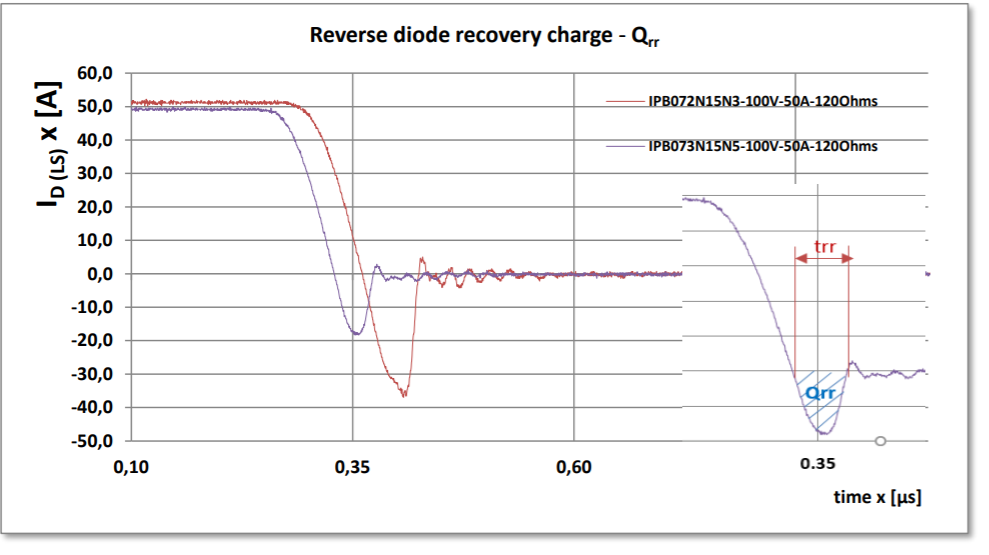
これらの2つのパラメータはデータシートで指定されており、残念ながらこの条件でのみ有効です。次の条件のいずれかが変更されると、Qrrの値も変更されます。

1. *VR*
2. *IF*
3. *diF/dt*

IPB072N15N3とIPB073N15N5は異なるダイオード電流IFで評価されるため、Qrr値とtrr値を比較することはできません。

ただし、インフィニオンの拡張ベンチテストでは、同じ条件下でOptiMOSTM 5 IPB073N15N5のQrrがOptiMOSTM 3 IPB072N15N3よりも約60％低いことが明らかになっています。

モータードライブなどのハードスイッチングアプリケーションでは、Qrr値はスイッチング損失、スイッチング波形、VDSオーバーシュートに直接影響します。



**図16 100 V / 50AでのOptiMOSTM 3およびOptiMOSTM 5の逆回復料金チャージ**

**11 熱抵抗、ジャンクションケースRth\_J-C**

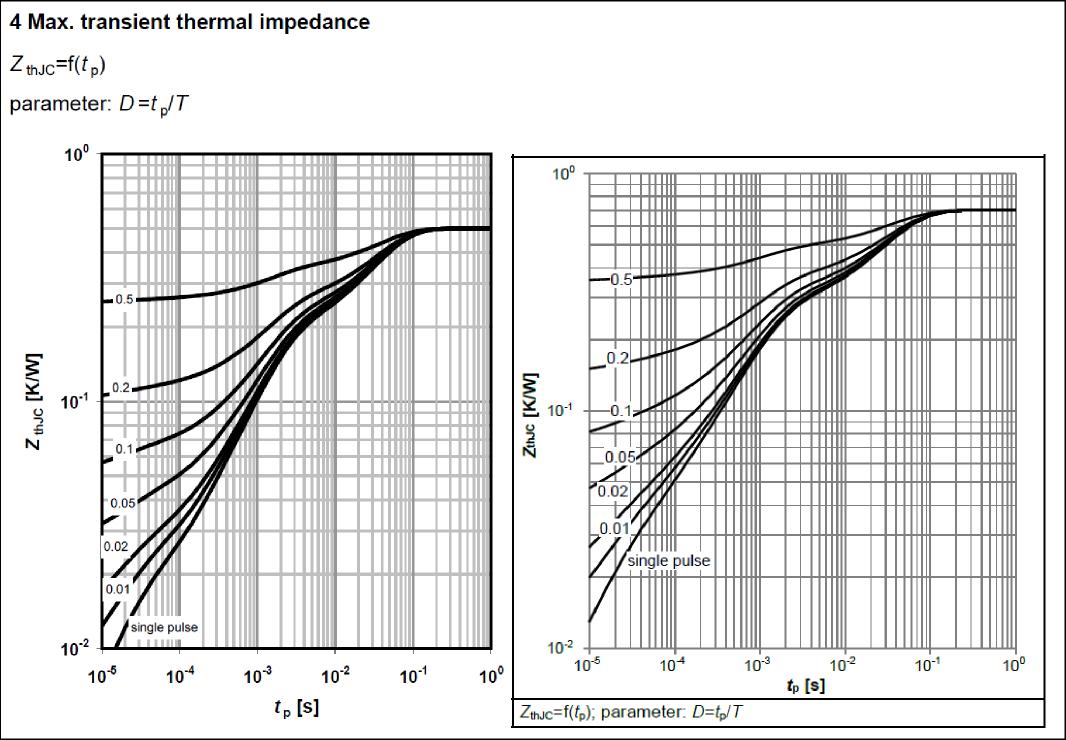
このパラメータは、次の式を使用して電力損失がわかっている場合に、シリコンダイの温度を計算するために使用できます。

一般に、ケースRth\_J-Cへの接合部の熱抵抗は、ケースからヒートシンクへの熱抵抗よりもはるかに低くなります。典型的なRth\_J-Cは典型的な0.2K / Wの範囲ですが、ケースとPCB間の熱抵抗ははるかに高いRth\_C-HSであり、PCBのタイプとサーマルビアの数に応じて1〜5 K / Wの範囲です。使用済み（すべての値は、D2PAKパッケージのクラス最高のRDS（on）に基づいています）。

表1から、IPB072N15NのRth\_J-C、max = 0.5 K / W、IPB073N15N5のRth\_J-C、max = 0.7 K / Wです。

Rth\_J-Cは、シリコンダイからヒートシンクRth\_j-hsまでの総熱抵抗の割合が大きいため、IMS PCBなどのより優れた熱伝導性PCBにとってより重要であると結論付けることができます。

Rth\_J-Cに加えて、Zth\_J-Cは、100ミリ秒未満のパワーパルスの過渡状態でも非常に重要になる可能性があります。この例では、IPB072N15N3の単一パルスでの1msの最大熱インピーダンスは0.1K / Wであり、IPB073N15N5の場合は0.2 K / Wです。これは、IPB073N15N5が1ミリ秒の間パルス電力の半分を処理できることを意味します。モータードライブアプリケーションでは、短い高ピーク電流が発生する可能性があるため、設計者は過渡状態でTjを超えないようにする必要があります。



**図17最大IPB072N15N3（左）とIPB073N15N5（右）の過渡インピーダンス**

**12 結論**

OptiMOSTM 5を使用した回路設計中、または既存の設計でMOSFETを交換する過程で、エンジニアは両方のデータシートを注意深く調べて、両方のMOSFETの全体像と理解を得る必要があります。OptiMOSTM 3およびOptiMOSTM 5 150 V世代の例をこのドキュメントに示し、MOSFETの特定の動作に影響を与えるパラメータを特定しました。同じアプローチを他の電圧クラスにも使用できます。その一部は、このドキュメントのOptiMOSTM 5 80Vに示されています。

場合によっては、さまざまなMOSFETパラメータがそれらの動作に与える影響を定量化することが困難になります。

1つの良いオプションは、SPICEシミュレーションモデルを使用してシミュレーションプラットフォームを確立することです。これにより、ゲート駆動回路の調整を簡単に実行できる違いを明らかにできます。

シミュレーションまたはベンチテスト中にリンギングと振動が観察された場合は、次の方法のいくつかを利用できます。

* より高いゲート抵抗値Rgを実装してMOSFETの速度を低下させます
* Cgsを実装してMOSFETの速度を低下させる–標準値1 nFから5nF
* 外部Cgsを使用する場合は、ゲート駆動回路にダンピングゲート抵抗を導入します–標準値10 C）Ω
* ドレインソースRCスナバ–たとえば1 nF / 2 C）Ω

Rth（on）値が同じで、RthとZthが高いため、同じ電力を消費する場合、OptiMOSTM 5はOptiMOSTM 3よりもMOSFET温度が高くなりますが、この電力損失は次の方法で減らすことができます。

– 低いRDS（オンon）

– より低いスイッチング損失–より速いdi / dtおよびdv / dt、より低いVDSオーバーシュート

– より良いボディダイオード–よりソフトな回復、より低いQrrとより低いIrrm、より少ないリンギングとEMI

– 並列MOSFETの低ΔVGS（th）生産スプレッド（VGS（th）、min – VGS（th、max値）が低い）による電流共有の改善

**13 改訂履歴**

|  |  |  |
| --- | --- | --- |
| **ドキュメントバージョン** | **リリース日** | **変更の説明** |
|  |  |  |
|  |  |  |
|  |  |  |