**大電流アプリケーションでの並列パワーMOSFET**



**AN\_2009\_PL18\_2010\_105641**

**アプリケーション**

**電流と電力損失の不均衡に対するMOSFETパラメータの不一致の影響**

**このドキュメントについて**

**適用範囲と目的**

通常200V DC未満で供給される低電圧アプリケーションでは、より高い電力に対するニーズが絶えず高まっているため、伝導抵抗RDS（on）が可能な限り低いMOSFETの需要が高まっています。多くのアプリケーションでは、単一のMOSFETで必要な電流を流すのに十分ではないため、導通損失を減らし、動作温度を下げ、電力変換器の効率を向上させるために、MOSFETの並列化が求められます。

電力変換器でMOSFETを並列化する必要があり、設計エンジニアはターンオン時およびターンオフ時のプロセスで完全に同期されていないため、並列化されたMOSFET何の不均一な電流共有と電力損失の不均等というトピックに直面します。

このアプリケーションノートでは、電流共有で重要な役割を果たしているMOSFETパラメータに焦点を当て、電流共有の不均衡により多くの電流を流すMOSFETで発生する追加の電力損失を定量化します。

**対象とする訪問者読者**

MOSFETを並列化し、MOSFET間で電流を共有する理想的でない場合に必要なマージンを定量化する必要があるパワーエレクトロニクス設計エンジニア。

**目次**

**このドキュメントについて 1**

**目次 1**

**1 前書き 2**

**2 回路の説明 3**

**3 現在の共有電流共有化パラメータ 6**

**4 VGS（th）条件 8**

**5 不一致のVGS（th）によって引き起こされる不均衡 9**

**6 VGS（th）が最も低いMOSFETでの損失の増加 13**

6.1 並列の2つのMOSFET 13

6.2 並列の4つのMOSFET 15

6.3 並列の6つのMOSFET 17

6.4 並列MOSFETの数に関連したワーストケース損失の増加 18

**7 熱特性を考慮した温度上昇の例 20**

**8 結論 23**

**参考文献 24**

**改訂履歴 25**

アプリケーションノート このドキュメントの最後にある重要な通知と警告をお読みください V 1.0

[www.infineon.com](http://www.infineon.com) 1/26ページ 2020-09-14

# 1 前書き

システム全体の電流能力を高めるために複数のMOSFETが並列に接続されている場合、並列デバイス間で電流が均等に分配または均等に共有されると想定されることがよくあります。ただし、PCBレイアウトにはいくつかの特性があり、いくつかのMOSFETパラメータはこの分布に影響を与え、パラメータが完全に一致しない場合、またはレイアウトが完全に対称でない場合は常に電流共有に不均衡を引き起こします。現在の電流共有に対するレイアウトの影響の調査はこのペーパーの範囲外ですが、このトピック[1]、[2]にも対応している他の文献が利用可能です。

電流共有の不均衡は、一部のデバイスが平均よりも高い電流を伝導し、平均よりも高い電力損失をもたらし、その結果、完全な電流共有と等しいコンポーネントの電力損失を想定した推定から得られる温度に関して、最大コンポーネント温度が高くなることを意味します。

消費電力の増加とコンポーネントの温度超過により、システムの最大パフォーマンスが制限されるため、ある程度のオーバーサイズが必要になります。言い換えると、システムが特定の要件を満たすためには、追加のMOSFETを並列に追加する必要があります。

このホワイトペーパーでは、「典型的な」（つまり理想的な）パフォーマンスだけでなく、必然的なコンポーネントパラメータの変動によって引き起こされる現実的な状況も考慮してシステムのサイズを決定する方法を説明することを目的としています。

# 2 回路の説明

この研究に使用された回路は、MOSFETが並列に接続されたハーフブリッジトポロジーです。最初に、図1に示すように、並列の2つのMOSFETの電流共有を調べます。次に、4つのMOSFETと6つのMOSFETを並列に接続したシステムの最終結果も示します。

図1のハーフブリッジの性能は、一定の負荷電流ILを駆動している間は、連続PWM（*f = 10 kHz*および*D.C.*= 50％）でシミュレーションされています。負荷電流は、MOSFETあたり最大100Aまで掃引されます。

シミュレーションモデルには、対称電流共有用に最適化されたPCBレイアウトのすべての相互接続（簡略化された回路図には示されていません）の寄生インダクタンスと抵抗が含まれているため、モデルはPCBレイアウトの理想的な対称性を示します。したがって、シミュレーションでのすべての電流の不均衡は、MOSFETパラメータの不一致によって引き起こされます。つまり、同じMOSFETパラメータ設定では、結果のスイッチング波形はすべてのMOSFETで完全に対称または等しくなります。

1. 簡略化されたハーフブリッジの概略図



回路パラメータを表1に示します。

1. 回路パラメータ：並列の2つのMOSFET

|  |  |  |
| --- | --- | --- |
| **パラメータ** | **シンボル** | **値** |
| ゲート抵抗–ゲートドライバ側 | RG(gdr) | 12 Ω |
| ゲート抵抗–MOSFET側 | RG | 22 Ω |
| DCバス容量 | CDC | 1.65 mF |
| DCバス供給電圧 | VDC | 48 V |
| ゲートドライバ供給電圧 | VG | 15 V |
| MOSFETケース温度 | TC | 25 °C |

2つのMOSFETを並列に使用する回路は、最初に電流の不均衡を示し、関連データの抽出を説明するために使用されます。次に、システムサイズ（並列化の程度）に関する効果を比較するために、4つおよび6つのMOSFETを並列に接続してこのプロセスを繰り返します。

より多くのMOSFETを並列接続する場合、並列チェーン内の単一のMOSFETに関して同じ状態を維持するために、特定の回路パラメータを調整する必要があります。簡単に言えば、完全にバランスの取れたセットアップでは、各MOSFETの負荷はシステムサイズに関係なく同じである必要があります。

これは、負荷電流条件が2並列モデルで最大200 A（MOSFETあたり100 A）まで掃引される場合、4並列モデルでは400Aに達する必要があることを意味します。したがって、結果図に示されている負荷電流条件は、MOSFETの数ごとに正規化されています。正規化された負荷電流は、次の式で定義されます。

𝐼𝐿\_𝑝.𝑁𝑄 = 𝐼𝐿/ 𝑁𝑄

どこここで：

* IL→負荷電流の絶対値
* NQ→並列接続されたMOSFETの数

たとえば、負荷電流の正規化された値が100 Aの場合、実際の負荷電流は、表されているセットアップによって異なります。

* 並列の2つのMOSFET：
IL\_p.NQ = 100 A → IL = 200 A
* 並列の4つのMOSFET
IL\_p.NQ = 100 A → IL = 400 A
* 並列の6つのMOSFET
IL\_p.NQ = 100 A → IL = 600 A

バス電圧で同じ条件を維持するには（比較的高い電源ソースインダクタンスを想定）、DCバス容量を増やす必要があります。ゲート駆動回路、およびいくつかの寄生パラメータも調整する必要があります。

**表1、表2、および表3を比較すると、調整がわかります。**

1. 回路パラメータ：並列の4つのMOSFET

|  |  |  |
| --- | --- | --- |
| **パラメータ** | **シンボル** | **値** |
| ゲート抵抗–ゲートドライバ側 | RG(gdr) | 6 Ω |
| ゲート抵抗–MOSFET側 | RG | 22 Ω |
| DCバス容量 | CDC | 3.3 mF |
| DCバス供給電圧 | VDC | 48 V |
| ゲートドライバ供給電圧 | VG | 15 V |
| MOSFETケース温度 | TC | 25 °C |

1. 回路パラメータ：並列の6つのMOSFET

|  |  |  |
| --- | --- | --- |
| **パラメータ** | **シンボル** | **値** |
| ゲート抵抗–ゲートドライバ側 | RG(gdr) | 4 Ω |
| ゲート抵抗–MOSFET側 | RG | 22 Ω |
| DCバス容量 | CDC | 4.95 mF |
| DCバス供給電圧 | VDC | 48 V |
| ゲートドライバ供給電圧 | VG | 15 V |
| MOSFETケース温度 | TC | 25 °C |

結果に関して、MOSFETの命名では、ハイサイドMOSFETには奇数、ローサイドMOSFETには偶数を使用します。条件は、MOSFET Q1が厳しい条件で外れ値を表すように選択され、主要なD.U.T.とします（テスト対象デバイス）。

# 3 現在の電流共有パラメータ

ハーフブリッジのようなスイッチングアプリケーションの並列デバイス間で電流がどのように分配されるかに影響を与えるいくつかのパラメータがあります。表4の概要では、最も重要なパラメーターの影響を現在の電流共有と比較しています。結論は、現在の電流不均衡に対するパラメータの影響を比較評価する予備調査から導き出されます。レイアウトも考慮している追加の文献は、参考文献[1]にリストされています。

表4の「不均衡動作」の列は、特定のパラメータの不一致が消費電力に及ぼす定性的な影響を示しています。問題のパラメータの値がこのMOSFETで減少した場合、対応するMOSFETでの電力損失がどのように影響を受けるかを説明します（値が増加すると反対の動作が適用されます）。「比較」列は、不一致を定量的に比較します。

1. 現在の電流共有にとって最も重要なパラメータ

|  |  |  |
| --- | --- | --- |
| **パラメータ** | **不均衡な行動：****対応するMOSFETのパラメータ値の減少の影響** | **比較** |
| 総トータルゲート抵抗 | RG(tot) | ターンオン時の消費電力の増加ターンオフ時の消費電力の減少 | 1％の抵抗許容誤差によって引き起こされる不均衡は、ここで比較される他の影響と比較して小さいです。内部RG（int）の不一致は、より低い外部RG（<10Ω）で支配的です。 |
| ゲート-ソース容量 | CGS | ターンオン時の消費電力の増加ターンオフ時の消費電力の減少 | データセットの値の範囲により、中程度から高い不均衡が発生します |
| ゲート-ドレイン容量 | CGD | ターンオン時の消費電力の増加ターンオフ時の消費電力の減少 | データセット値の範囲は、RGおよびCGSと比較して影響が少ない |
| ゲートしきい値電圧 | VGS(th) | ターンオン時の消費電力の増加ターンオフ時の消費電力の増加 | データセットの値の範囲は高い不均衡を引き起こします |

上記の効果に加えて、RGとgfsの値は、表4のリストされたパラメーターと組み合わせて、電流共有に顕著な影響を及ぼします。RGの場合、スイッチングが速い（RGが小さい）と、一般に電流共有が向上しますが、gfsの場合は高くなります。値は、不均衡を増大させる傾向があり、値は高くなります。

結論として、パラメータの影響は類似しています。個々のMOSFETのスイッチングが高速になると、ターンオン時の高速MOSFETへの全体的な消費電力が増加し、ターンオフ時の消費電力が減少します。VGS（th）パラメータとの主な違いは、初期ターンオンと遅延ターンオフであり、同じコンポーネントで両方の遷移の消費電力が増加します（第5章の電流波形を参照）。

さらに、VGS(th)が最も低いMOSFETでの消費電力が増加し、

接合部温度TJの増加が、対応するMOSFETのVGS(th)をさらに低下させ、その結果、

不均衡を増大させます。

このアプリケーションノートの調査は、現在の電流共有の最も重要であると特定されたVGS(th)に焦点を当てています。

共有。

*注意： このアプリケーションノートの結論は、特に現在の電流共有に言及しています。*

*たとえば、ゲートループインダクタンス（LG）の影響は、電流共有では無視できると見なされます。これは、発振などの他のスイッチング現象に対してLGが重要でないことを意味するものではありません。*

# 4 VGS(th) 条件

データシートのゲートしきい値電圧[VGS(th)]パラメータは、最小および最大の保証値と、デバイスに期待できる標準値を示しています。



1. データシートパラメータに従ったVGS(th）範囲

生産部品の分析により、図3のVGS(th)値の範囲は、データシートに記載されている制限よりもはるかに小さいことがわかります。各ロットには、使用するチップサイズとウェーハサイズに応じて、数百または数千の部品を含めることができます。

個々のMOSFET間のこのVGS(th)スプレッド（最小から最大）は、技術世代、電圧クラス間、そして最も重要なのはメーカー間で異なります。これは、インフィニオンMOSFETの最も際立った特徴の1つとして認識されています。インフィニオンMOSFETは、VGS(th)の変動が非常に少ないため、MOSFETの並列化が必要なアプリケーションに最適です。



1. 複数のロットのVGS(th)スプレッドの箱ひげ図の例：2.75 V〜3.15 V = 0.4 V

次の章の例では、並列MOSFETがVGS(th）分布の組み合わせに起因するシステムでの電流の不均衡と電力損失の不均衡を定量化します。これにより、MOSFETの1つで最も好ましくない結果が生じます。

完全にバランスの取れたシステムと比較して、2つの追加の例では、次の範囲の極値を考慮しています。

* データシート仕様による最悪の仮想の組み合わせ–最小値と最大値：∆VGS(th)= 1.6 V
* 例のロットの範囲から生じる最悪の可能性のある組み合わせ：
∆VGS(th) = 0.5 V

# 5 不一致のVGS(th)によって引き起こされる不均衡

第2章では、電流の不均衡の影響を評価する目的で使用される回路について説明します。回路は完全に対称であり、MOSFETパラメータが完全に一致している場合、並列ブランチ間に完全に分散された電流が発生します。完全に整合したMOSFETまたは完全に分散した電流を使用したスイッチングの例を図4に示します。このケースは、不整合なパラメータ/不平衡な電流分布を使用したスイッチングの場合と比較するための参照として役立ちます。



1. 2つの完全にバランスの取れた並列MOSFETの同時スイッチング–すなわち平衡

図5の赤と青のプロットは同じ回路を表していますが、この場合、ハイサイドMOSFETのVGS(th)値に大きな違いがあります。最悪のシナリオと考えるのは、1つのMOSFETのVGS(th)がデータシートで指定された最大値を想定し、2番目のMOSFETが最小のデータシート値を想定している場合です。

VGS(th)\_Q1 = 2.2 V

VGS(th)\_Q3 = 3.8 V

ゲートドライバが両方のゲートの充電を同時に開始すると、しきい値電圧の低い方が早くオンになり、もう一方のMOSFETが導通し始める前にかなりのIDに達します。この影響の程度は、2つのしきい値電圧値の差によって異なります。

*注意： その結果、VGS(th)が小さいMOSFETは、スイッチのオンとオフの両方でより高い電流を流します。*



1. VGS(th)の差が可能な限り大きい2つの並列MOSFETのスイッチング–データシートパラメータによる最悪の場合の不一致

しきい値電圧が一致しない並列スイッチングの別の例を図6に示します。この場合、差は小さくなります。これは、第4章で説明したように、サンプルロットからのVGS(th)値の広がりから生じる可能性のある最大の不一致を表しています。

VGS(th)\_Q1 = 2.8 V
VGS(th)\_Q3 = 3.3 V



1. VGS(th)に0.5 Vの差がある2つの並列MOSFETのスイッチング–サンプルロットデータによる最悪の場合の不一致

システムを設計するときは、MOSFETの電流制限値を考慮する必要がありますが、全体的な平均電力損失は、最大MOSFET接合部温度に関する制限要因を表す可能性があります。

消費されるエネルギーは、次の3つの部分に分けることができます。

* EON –ターンオンスイッチング損失エネルギー–単一のターンオン遷移で消費されるエネルギー
* EOFF –ターンオフスイッチング損失エネルギー–単一のターンオフ遷移で消費されるエネルギー
* ECND –伝導損失エネルギー–1つのPWMサイクル内のMOSFET伝導中に消費されるエネルギー
* TCND –伝導時間–伝導エネルギーの測定に使用される時間間隔

導通は、ターンオンプロセスが完了した後に開始すると見なされます。つまり、VGSがミラープラトーより上にある場合（多くの場合、ミラープラトーより上の特定のレベルで定義されます）。この間隔でのVDS電圧、したがってこの間隔でのおよびこのような消費電力は、MOSFETのドレイン電流iDに直線的に比例します。

$$V\_{DS}= R\_{DS(on)} . i\_{D}$$

したがって、導通損失はRDS(on)とiDのみに依存します。したがって、スイッチの直後にiDが安定する場合、導通損失は両方のMOSFETで同じである必要があります。ただし、図5と図6からわかるように、両方の並列MOSFETのRDS(on)が同じであっても、ドレイン電流の差は切り替え後もかなりの時間持続します。この不平衡は、MOSFETを取り巻く寄生インダクタンスによって維持されます（LD-HS = 3 nH、LS-HS = 1 nH、LD-LS = 1 nH、LS-LS = 3nH）。この場合、10 µsの範囲です。

MOSFETを流れる電流が大きいと、スイッチング時と導通時の両方で損失が大きくなります。これは、寄生インダクタンスが高くなると、伝導損失から生じる消費の不均衡も大きくなることを意味します。

表5に、この特定の動作点（IL\_p.NQ = 50 A）のシミュレーションから得られた損失を示します。VGS（th）値が完全に一致している場合（平衡）、損失は両方のMOSFETで等しくなります。

1. 1つのPWMサイクル（100 µs）での各MOSFETでのエネルギー消費

|  |  |  |  |
| --- | --- | --- | --- |
|  | **平衡** | **∆VGS(th) = 0.5 V** | **∆VGS(th) = 1.6 V** |
| **Q1**  | **Q3**  | **Q1**  | **Q3**  | **Q1**  | **Q3**  |
| EON [µJ] | 63.19 | 63.19 | 87.94 | 44.32 | 140.27 | 15.11 |
| EOFF [µJ] | 173.01 | 173.01 | 257.61 | 96.59 | 463.61 | 18.58 |
| ECND [µJ](at TCND = 49us) | 199.95 | 199.95 | 206.35 | 194.06 | 219.10 | 184.73 |
| EPWM\_Cycle [µJ] | 436.15 | 436.15 | 551.9 | 334.97 | 822.98 | 218.42 |

与えられた動作点（*fPWM、D.C.*）を考慮すると、これらの損失を使用して、各MOSFETでの平均消費電力を計算できます。



どこここで

そして：

TCND(o.p.)–代替動作点に有効な導通時間

1. fPWM = 10kHzでの各MOSFETでの平均消費電力。D.C.= 50パーセント

|  |  |  |  |
| --- | --- | --- | --- |
|   | **平衡** | **∆VGS(th) = 0.5 V** | **∆VGS(th) = 1.6 V** |
| **Q1**  | **Q3**  | **Q1**  | **Q3**  | **Q1**  | **Q3**  |
| PON\_avg [W] | 0.63 | 0.63 | 0.87 | 0.44 | 1.40 | 0.15 |
| POFF\_avg [W] | 1.73 | 1.73 | 2.57 | 0.96 | 4.63 | 0.18 |
| PCND\_avg [W] | 1.99 | 1.99 | 2.06 | 1.94 | 2.19 | 1.84 |
| Pavg [W] | 4.35 | 4.35 | 5.5 | 3.34 | 8.22 | 2.17 |

したがって、VGS(th)が一致しないと、完全に平衡化されたシステム（平衡）に関して、VGS(th)（Q1）が低いMOSFETの損失が増加します。両方のスイッチング損失が大幅に増加し、VGS(th)の不一致から生じる伝導損失がわずかに増加します。

表6から、VGS(th)の差が0.5 V（±0.25 V）の場合、低いVGS(th)でMOSFETの消費電力が26％増加し、データシートのパラメータによると、ΔVGS(th)= 1.6 V（±0.8 V）の最悪のシナリオを仮定すると電力損失が88％増加することがわかります。

一方、VGS(th)（Q2）が高いMOSFETは、平衡に比べて損失が減少します。システム設計で考慮しなければならない重要な値は、影響を受ける（最も高温の）MOSFETの平均温度を超える結果になるため、消費電力が増加した値です。したがって、この温度は、ハーフブリッジの出力電流の制限要因になります。

# 6 VGS(th)が最も低いMOSFETでの損失の増加

*注意： この時点からの結果は、不均衡による損失の増加を伴うMOSFETの電力損失、つまり「最もホットなMOSFET」に焦点を当てています。これは、このMOSFETがシステム出力電流の制限要因を表すためです。*

*注意： この章の結果は、VGS(th)の温度依存性を考慮していません。VGS(th)の温度依存性の考慮については、第7章で説明します。*

さまざまな負荷電流で第5章のシミュレーションを繰り返すと、最も高温のMOSFETでさまざまなΔVGS(th)の電流で最大不平衡電力損失がどのように増加するかを示す拡張データが得られます。次のグラフは、特定の動作点での最も高温のMOSFETでの平均電力損失を示しています。

* fPWM = 10 kHz
* D.C. = 50パーセント

損失は​​、スイッチング損失と導通損失の寄与を別々に示すために分類されています。

* PQ1(SW\_avg)– MOSFET Q1での平均スイッチング損失
* PQ1(CND\_avg)– MOSFET Q1での平均伝導損失
* PQ1(avg)– MOSFET Q1での全体的な平均損失（導通損失とスイッチング損失の合計）

サブチャプター6.2および6.3に示すように、並列MOSFETの数が多い場合にも同じ分析を実行できます。

2つ以上のMOSFETを並列接続する場合、VGS(th)の特定の範囲の値に対するVGS(th)の不一致の最も過酷な条件は、最も高温のMOSFETで最も低いVGS(th)であり、他のすべての並列デバイスで最も高いVGS(th)です。

*注意： 比較しやすいように、次の図の負荷電流は、負荷電流をMOSFETの数で割ったものを表す正規化された負荷電流として示されています。詳細は第2章で説明されています。これは、2つの並列MOSFET IL\_p.NQ = 100 Aの図に示されている最大電流を意味します。IL = 200 Aの負荷電流の状態を表し、4つの並列MOSFETの図に示されている最大電流IL\_p.NQ = 100Aを意味します。 MOSFETは、IL = 400Aの出力負荷電流を表します。*

## 6.1 並列の2つのMOSFET

図7は、「最も高温のMOSFET」、つまり消費電力が最も大きいMOSFET（この場合はQ1）のMOSFETあたりの損失を示しています。表7は、シミュレーションで使用されたVGS(th)値の組み合わせを示しています。

すべての図には、参照用の回路に不均衡がない例が含まれています（ΔVGS(th) = 0V）。

1. VGS(th)値

|  |  |  |  |
| --- | --- | --- | --- |
| **MOSFET** | **平衡 ∆VGS(th) = 0 V** | **生産動向 ∆VGS(th) = 0.5 V** | **データシートの範囲 ∆VGS(th) = 1.6 V** |
| Q1 | 3.0 V | 2.8 V | 2.2 V |
| Q3  | 3.0 V | 3.3 V | 3.8 V |



1. fPWM = 10kHzで最も高温のMOSFETでの平均消費電力。D.C.= 50パーセント

上記のグラフを調べるとはっきりとわかるのは、次のとおりです。

* 不均衡なシステムから生じる電力損失の増加は、主にスイッチング損失に起因します
* IL\_p.NQ> 50 Aのバランスの取れたシステムで、スイッチング損失は導通損失よりも小さい
* IL\_p.NQ> 50 Aの不均衡なシステムで、スイッチング損失は導通損失よりも大きい

**不均衡と平衡基準の比較：**

最大ΔVGS(th)の場合、最も高温のMOSFETでの全体的な損失は次のように増加します。

* IL\_p.NQ = 25Aで104パーセント
* IL\_p.NQ = 50 Aで88パーセント
* IL\_p.NQ = 100Aで52パーセント

∆VGS(th) = 0.5 Vの値では、最も高温のMOSFETの損失の増加はかなり小さくなります。全体的な損失は次のように増加します。

* IL\_p.NQ = 25Aで48パーセント
* IL\_p.NQ = 50 Aで26パーセント
* IL\_p.NQ = 100Aで14パーセント

## 6.2 並列の4つのMOSFET

前述のように、並列MOSFETの数が多い場合に分析を行うと、特定の∆VGS(th)の最悪の条件が調べられます。つまり、「最も高温なMOSFET」は最も低いVGS(th)を示し、並行に接続されている残りのMOSFETはパラレルは最高の（同じ）VGS(th)を持ちます。問題の組み合わせを表8に示します。

1. VGS(th)値

|  |  |  |  |
| --- | --- | --- | --- |
| **MOSFET** | **平衡 8VGS(th) = 0 V** | **生産動向 8VGS(th) = 0.5 V** | **データシートの範囲 8VGS(th) = 1.6 V** |
| Q1 | 3.0 V | 2.8 V | 2.2 V |
| Q3, Q5, Q7 | 3.0 V | 3.3 V | 3.8 V |



1. fPWM = 10kHzで最も高温のMOSFETでの平均消費電力。D.C.= 50パーセント

前の例と同様の結論を導き出すことができます。全体的な損失に対する伝導損失の寄与は、わずかに増加しますが、それでも無視できます。

この場合のスイッチング損失は、2並列システムと比較して大幅に増加します。

**不均衡と平衡基準の比較：**

∆VGS(th) = 1.6 Vでは、最も高温のMOSFETでの全体的な損失は次のように増加します。

* IL\_p.NQ = 25Aで308パーセント
* IL\_p.NQ = 50Aで169パーセント
* IL\_p.NQ = 100Aで81パーセント

∆VGS(th) = 0.5 Vでは、最も高温のMOSFETでの全体的な損失は次のように増加します。

* IL\_p.NQ = 25Aで77パーセント
* IL\_p.NQ = 50Aで41パーセント
* IL\_p.NQ = 100Aで21パーセント

## 6.3 並列の6つのMOSFET

6個のMOSFETを並列に使用する例。問題の組み合わせを表9に示します。

1. VGS(th)値

|  |  |  |  |
| --- | --- | --- | --- |
|  | **平衡 ∆VGS(th) = 0 V** | **生産動向 ∆VGS(th) = 0.5 V** | **データシートの範囲 ∆VGS(th) = 1.6 V** |
| Q1  | 3.0 V | 2.8 V | 2.2 V |
| Q3, Q5, Q7, Q9, Q11 | 3.0 V | 3.3 V | 3.8 V |



1. fPWM = 10kHzでの過負荷MOSFETでの平均消費電力。D.C.= 50パーセント

一方、6つのMOSFETを並列接続すると、最も高温のMOSFETでの損失の増加がさらに大きくなります。4つのMOSFETと2つのMOSFETを並列に比較した場合、4つのMOSFETと比較した相対的な増加はそれほど大きくありません。

**不均衡と平衡基準の比較：**

∆VGS(th) = 1.6 Vでは、最も高温のMOSFETでの全体的な損失は次のように増加します。

* IL\_p.NQ = 25Aで396パーセント
* IL\_p.NQ = 50Aで193パーセント
* IL\_p.NQ = 100Aで91パーセント

∆VGS(th) = 0.5 Vでは、最も高温のMOSFETでの損失は次のように増加します。

* IL\_p.NQ = 25 Aで90パーセント
* IL\_p.NQ = 50Aで46パーセント
* IL\_p.NQ = 100Aで23パーセント

## 6.4 並列MOSFETの数に関連したワーストケース損失の増加

前の例から導き出せる1つの結論は、並列MOSFETの数が多いほど、最も高温のMOSFETへのストレスが悪化するということです。図10のグラフは、いくつかの負荷電流での並列MOSFETの数に関する損失の増加を示しています。ここでも、不均衡のない参照を含めて、3つのΔVGS(th)が考慮されます。



1. 並列MOSFETの数に関連したワーストケース損失の増加

定量化するのは難しいですが、図10のグラフは、並列接続されているMOSFETの数に関して最も高温のMOSFETへのストレスの増加を示しています。2つのMOSFETを並列に接続すると不均衡が急激に増加し、4つのMOSFETを使用すると、特に最悪のシナリオで目に見える場合はさらに比較的大きく増加します。ただし、MOSFETの数をさらに増やすと、追加の増加は少なくなります。

グラフからわかるのは、VGS(th)スプレッドの縮小から生じるメリットです。∆VGS(th) = 0.5 Vで6つのMOSFETを並列接続する場合でも、∆VGS(th) = 1.6Vで2つのMOSFETを並列接続する場合よりも消費の不均衡が有利になります。

# 7 熱特性を考慮した温度上昇の例

システムの熱特性を考慮すると、消費電力のデータを使用して、個々のMOSFETの温度を計算できます。RthJH = 1.5 K / WのMOSFET（ヒートシンクへの接合部）の単純化された熱抵抗、およびヒートシンク自体の安定した均一温度を仮定すると、MOSFET接合部温度Tjは、次の式に従ってMOSFETの電力損失と相関します。



最も高温のMOSFETの温度を図11にプロットし、Ths = 80°Cのヒートシンク温度の例に適用します。

要約すると条件：

* fPWM = 10 kHz
* D.C. = 50パーセント
* RthJH = 1.5 K/W
* Ths = 80 °C



1. 最も高温のMOSFETの温度と出力電流–2つのMOSFETを並列に接続

上記のグラフを利用する方法は、特定のデバイス温度での出力電流を観察することです。ここで、グラフは最も高温のMOSFETを示しています。参照は、図11の灰色の曲線で表される完全にバランスの取れたシステムになります。この場合、すべての並列MOSFETの温度は同じになります。

たとえば、システム要件で最大Tj(max) = 100°Cが許可されている場合（図11に示されているように）、それに応じて出力電流が制限されます。

* ∆VGS(th) = 0 Vでは → IL(max)\_p.NQ = 98A
* ∆VGS(th) = 0.5 Vでは → IL(max)\_p.NQ = 90A
* ∆VGS(th) = 1.6 Vでは → IL(max)\_p.NQ = 71A

4つまたは6つのMOSFETが並列に接続されているシステムで同じ演習を繰り返すと、結果が図12と図13に示されます。



1. 最も高温のMOSFETの温度と出力電流–4つのMOSFETを並列に接続

並列の4つのMOSFET：

* ∆VGS(th) = 0 Vでは → IL(max)\_p.NQ = 98A
* ∆VGS(th) = 0.5 Vでは → IL(max)\_p.NQ = 86A
* ∆VGS(th) = 1.6 Vでは→ IL(max)\_p.NQ  = 57A



1. 最も高温のMOSFETの温度と出力電流–6個のMOSFETを並列に接続

 並列の6つのMOSFET：

* ∆VGS(th) = 0 Vでは →IL(max)\_p.NQ = 98A
* ∆VGS(th) = 0.5 Vでは → IL(max)\_p.NQ = 85 A
* ∆VGS(th) = 1.6 V では→ IL(max)\_p.NQ = 52 A

**結果の精度の向上**

前の演習で想定された単純化は、MOSFET温度に関して一定のVGS(th)です。結果は、VGS(th)の絶対値との直接的な相関関係として有効です。

より現実的なシナリオでは、初期VGS(th)値は、デバイスが特性評価される特定の温度（たとえば、25°C）での測定値を表します。温度が上昇するとVGS(th)が大幅に減少し、VGS(th)が最も低いMOSFETも最も高温になるため、不均衡により、並列MOSFET間のΔVGS(th)がさらに増加し​​ます。

**VGS(th)の温度依存性を図14に示します。**



1. データシートによるOptiMOS™5ファミリMOSFETのVGS(th)特性

出力電流制限の予測を改善するために、新しく取得した温度を使用して、最初のシミュレーションのTjによって決定された結果のVGS(th)値を使用して、特定の動作点でシミュレーションを繰り返すことができます（これも考慮します）より低温のMOSFETのTjも考慮します）。図14のグラフから得られたVGS(th)(Tj)の特徴的特性の減少は、最初のシミュレーション反復で想定された初期VGS(th)値（通常は25°Cでの特性評価の値）から差し引く必要があります。

更新されたVGS(th)値を使用して実行されたシミュレーションの繰り返しにより、2回目の反復結果が生成されます。この場合、最初の結果と比較して、不均衡がさらに増加すると予想されます。2回目の反復のエラーは減少しますが、必要に応じて手順を繰り返し繰り返すことができます。

シミュレーションで使用したMOSFETモデルは、一定の接合部温度を想定したレベル1（L1）モデルでした。あるいは、レベル3（L3）シミュレーションモデルを使用することもできますが、LSが多いと、収束の問題が発生する可能性があります。

# 8 結論

このホワイトペーパーの焦点は、電流共有の現象です。つまり、ハーフブリッジスイッチングトポロジで並列に接続されたMOSFET間の電流分布です。シミュレーションは、一定のデューティサイクル（D.C.）およびDC出力負荷電流（IL）で連続スイッチング動作点で動作する降圧コンバータの例で実行されました。可変PWMで正弦波出力電流に対して同様の分析を実行できますが、この分析の複雑さはこのホワイトペーパーの範囲外です。インフィニオンは、このような拡張分析のサポートを提供できます。

レイアウトの非対称性の影響はこの研究の範囲ではありませんでしたが、寄生インダクタンスの量は、対称ではありますが、導通後のID不均衡のセトリングが遅くなるため、導通損失の不均衡の程度に影響します。読者は、参考文献[1]、[2]でレイアウト効果の詳細を見つけることができます。

目標は、電流共有の不均衡を定量化するための実用的な手段を定義し、分析の手順を説明し、VGS(th)パラメーターの不一致から生じる不均衡を定量化することでした。VGS(th)の不一致は、同じMOSFETでのターンオンとターンオフの両方のスイッチング損失とその大きさが増加するため、電流の不均衡に影響を与えるパラメータの中で最も重要であると考えられています。

ベンチテストでワーストケース条件を確立することは、完全な条件を確立することと同じくらいありそうにないため（特定の値のセットを手動で選択する必要があります）、ベンチテストはシミュレートされたワーストケース分析よりも好ましい結果をもたらす傾向があります。したがって、システムが過剰に設計されていない場合、MOSFETが異なれば現場での故障率も異なります。最悪の場合の分析により、設計のマージンが最適に保たれることが保証されます。

個々のパラメータの影響を示すために、この分析には寄生インダクタンスと寄生抵抗が含まれ、実際の回路に対応する現実的な値を表しているにもかかわらず、レイアウトは完全に対称になるように理想化されています。シミュレーションモデルでは、一般的なスイッチング条件も考慮されているため、結果は実際のハーフブリッジ回路で使用されているMOSFETを表しています。

この調査では、VGS(th)の不一致の大きさが異なる場合の消費電力の不均衡を比較しました。

* データシートの制限値に基づく最悪の場合の不一致
* ロットパラメータ分布の例による最悪の不一致の可能性

事実上、不均衡は全体的な出力電流容量の減少をもたらします。完全に共有する理想的なシナリオと比較すると、削減の程度は最大50％になる可能性があります（VGS(th)の不一致が最悪のデータシート値であると仮定して、6つ以上のMOSFETを並列化する場合）。

並列化されるMOSFETの数が多いほど、VGS(th)が最も低いMOSFETの状態は厳しくなりますが、消費電力の増加と並列化されるMOSFETの数の間に単純な線形相関はありません。

VGS(th)の不一致を減らすことで、電流の不均衡の問題を軽減できます。つまり、設計で必要なシステムのオーバーエンジニアリングが少なくなります。このアプリケーションで考慮されているVGS(th)の不一致の減少は、データシートパラメータの例と比較してパフォーマンスが大幅に向上していることを示しています。現在電流の不均衡を管理すると、システムサイズが縮小され、全体的なコストが抑えられます。

最先端のインフィニオンMOSFETは、高度な製造プロセスを利用しているため、パラメータの広がりが狭い高品質のMOSFETが得られ、並列動作に非常に適しています。

# 参考文献

1. アプリノート：AN\_1803\_PL11\_1804\_092613

大電流LVドライブアプリケーションでのMOSFETの並列化

<https://www.infineon.com/dgdl/Infineon-ApplicationNote_MOSFET_Paralleling_MOSFETs_in_high-current_LV_drive_applications-AN-v01_00-EN.pdf?fileId=5546d46262b31d2e0162f284b7583d1b>

1. アプリノート：より高い電力出力のためのパワーMOSFETの並列化

<https://www.infineon.com/dgdl/para.pdf?fileId=5546d462533600a401535744b4583f79>

# 改訂履歴

|  |  |  |
| --- | --- | --- |
| **ドキュメントバージョン** | **リリース日** | **変更の説明** |
|  |  |  |
|   |   |   |
|   |   |   |

.