

**Application Note AN2015-06**

**EiceDRIVER TM**

**Gate resistor for power devices  
About this document**

**Scope and purpose**

This application note explains the role of the gate resistor, and it points out what are the most important issues that should be considered when selecting the gate resistors of power devices.

**Intended audience**

Power electronics engineers who want to design reliable and efficient gate driving circuits

**Table of Contents**

**About this document 1**

**Table of Contents 1**

**1 Scope 2**

**2 Gate resistor basics 3**

**3 What should be considered for gate resistance when design a gate driver circuit 4**

3.1 Gate charging/discharging peak current 4

3.2 Power dissipation 5

3.3 Switching speed and electromagnetic compatibility 6

3.4 Gate ringing 7

3.5 Parasitic turn-on 8

3.6 Typical gate circuit 10

**4 The tricks to quickly select a proper gate resistor 11**

4.1 Power rating of gate resistors 11

4.2 Rule of Thumb 11

**5 References 12**

**Revision History 13**

Application Note AN2015-06 Please read the Important Notice and Warnings at the end of this document <Revision 1.0>

[**www.infineon.com**](http://www.infineon.com) 2015-12-17

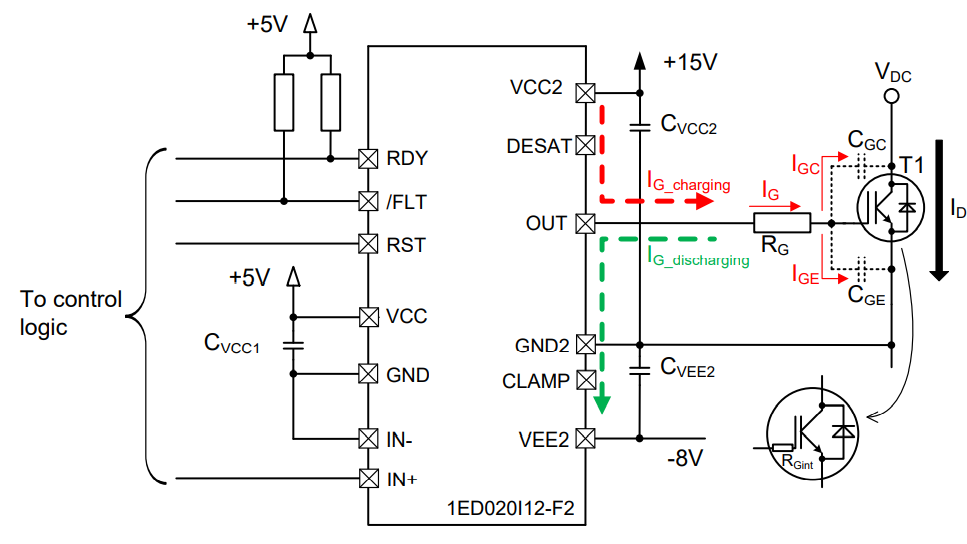
# **1 範囲**

＜＜★This application note explains the most common related issues for the identification of suitable gate resistors for power electronic devices.＞＞このアプリケーションノートでは、パワーエレクトロニクスデバイスに適したゲート抵抗を特定するための最も一般的な関連問題について説明します。＜＜★It will depict the physical effects of the gate circuits and clarify the related equations.＞＞ゲート回路の物理的効果を示し、関連する方程式を明確にします。＜＜★Please note, that this application note cannot give recommendations for each and every power transistor or power module.＞＞このアプリケーションノートは、すべてのパワートランジスタまたはパワーモジュールの推奨事項を示すものではないことに注意してください。＜＜★However, it will highlight which considerations are important and the effect they can have on the selection of the gate resistors for discrete power transistors as well as for power modules.＞＞ただし、重要な考慮事項と、ディスクリートパワートランジスタおよびパワーモジュールのゲート抵抗の選択に与える影響について説明します。

# **2 ＜＜★Gate resistor basics＞＞ゲート抵抗の基本**

* ＜＜★The gate resistor is located between the output of the driver and the input of the power device.＞＞ゲート抵抗は、ドライバの出力とパワーデバイスの入力の間にあります。＜＜★It is commonly labelled RG as depicted in Figure 1.＞＞図1に示すように、一般的にRGとラベル付けされています。

1. ＜＜★Basic gate driver circuit＞＞基本的なゲートドライバ回路



＜＜★The on/off status of the gate controlled power devices, for instance IGBT or power MOSFET, is defined by the gate voltage.＞＞ゲート制御パワーデバイス（IGBTやパワーMOSFETなど）のオン/オフステータスは、ゲート電圧によって定義されます。＜＜★The change of this gate voltage influences the charging and discharging of the power device’s gatecapacitor, which consist of the gate-collector capacitor CGC and the gate-emitter capacitor CGE when an IGBT is taken as example for this application note.＞＞このゲート電圧の変化は、IGBTをこのアプリケーションノートの例として取り上げた場合に、ゲートコレクタコンデンサCGCとゲートエミッタコンデンサCGEで構成されるパワーデバイスのゲートコンデンサの充電と放電に影響を与えます。＜＜★The charging of the gate capacitor by IG\_charging will turn the power device on and the discharging of the gate capacitor by IG\_discharging of the gate capacitor will turn it off.＞＞IG\_chargeingによるゲートコンデンサの充電は電源装置をオンにし、ゲートコンデンサのIG\_dischargeによるゲートコンデンサの放電は電源装置をオフにします。

＜＜★The current, charging and discharging the gate, is limited by the gate resistor RG.＞＞ゲートを充電および放電する電流は、ゲート抵抗RGによって制限されます。＜＜★This will influence the switching speed of the power device.＞＞これは、電源装置のスイッチング速度に影響します。＜＜★Besides this, there are also several other influences from the gate resistor:＞＞これに加えて、ゲート抵抗からの影響もいくつかあります。

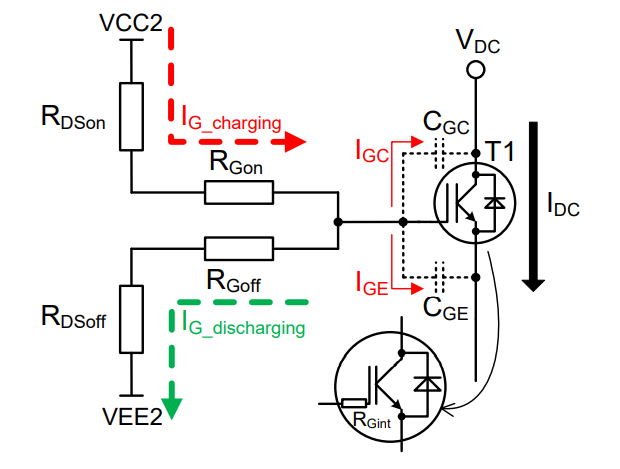
* ＜＜★Limit peak gate current to protect the driver output stage＞＞ピークゲート電流を制限して、ドライバの出力段を保護します
* ＜＜★Dissipate power in the gate loop＞＞ゲートループで電力を消費します
* ＜＜★Electromagnetic interference＞＞電磁妨害
* ＜＜★Prevent gate ringing＞＞ゲートリンギングを防ぐ
* ＜＜★Avoid parasitic turn-on by carefully choosing gate resistance＞＞ゲート抵抗を慎重に選択して、寄生ターンオンを回避します

# **3 ＜＜★What should be considered for gate resistance when design a gate driver circuit＞＞ゲートドライバ回路を設計する際にゲート抵抗について考慮すべきこと**

＜＜★The gate resistor as a physical entity has to be sufficient for its purpose in a multitude of aspects.＞＞物理エンティティとしてのゲート抵抗は、さまざまな面でその目的を十分に満たす必要があります。＜＜★This section focuses on the gate resistors abilities to define the peak current, its influence to the power dissipation, switching speed and the correlated switching losses.＞＞このセクションでは、ピーク電流を定義するゲート抵抗の機能、消費電力への影響、スイッチング速度、および相関するスイッチング損失に焦点を当てます。＜＜★Furthermore Electromagnetic Compatibility, gate ringing and parasitic turn-on which are also affected by gate resistance are also explained.＞＞さらに、電磁両立性、ゲートリンギング、およびゲート抵抗によっても影響を受ける寄生ターンオンについても説明します。＜＜★Finally a typical gate circuit is introduced.＞＞最後に、典型的なゲート回路を紹介します。

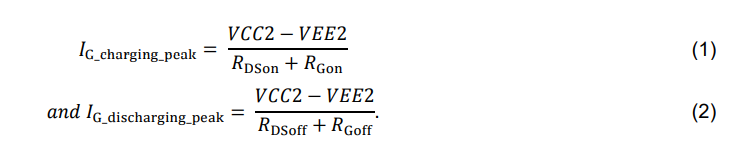
## **3. 1 ＜＜★Gate charging/discharging peak current＞＞ゲート充電/放電ピーク電流**

＜＜★The gate driver IC’s output stage has the maximum allowed peak current values IOH\_PEAKfor turn-on and IOH\_PEAK for turn-off which are often specified within the driver IC’s datasheet.＞＞ゲートドライバICの出力段には、ターンオン用の最大許容ピーク電流値IOH\_PEAKとターンオフ用のIOL\_PEAKがあり、これらはドライバICのデータシートで指定されることがよくあります。＜＜★When the output current of the driver IC is higher than this peak current value, the output stage could be damaged.＞＞ドライバICの出力電流がこのピーク電流値よりも大きい場合、出力段が損傷する可能性があります。＜＜★Thus it is important to limit the output current for safety reason.＞＞したがって、安全上の理由から出力電流を制限することが重要です。＜＜★Figure 2 depicts an example and helps to understand it in detail.＞＞図2は例を示しており、詳細に理解するのに役立ちます。



1. ＜＜★Gate charging/discharging diagram＞＞ゲート充電/放電図

＜＜★Here the RDSon depicts the resistance of the driver IC’s output stage during turn-on and RDSoff depicts the resistance during turn-off respectively, both are driver IC internal parameters.＞＞ここで、RDSonはターンオン時のドライバICの出力段の抵抗を示し、RDSoffはターンオフ時の抵抗を示します。どちらもドライバICの内部パラメータです。＜＜★The resistor RGon represents the turn-on gate resistance and RGoff represents the turn-off gate resistance.＞＞抵抗RGonはターンオンゲート抵抗を表し、RGoffはターンオフゲート抵抗を表します。＜＜★During IGBT T1 turn-on, the gate charging current IG\_charging is driven by the driver IC’s supply VCC2 through RDSon and RGon to the gate of the IGBT.＞＞IGBT T1のターンオン中、ゲート充電電流IG\_chargeは、ドライバICの電源VCC2によってRDSonおよびRGonを介してIGBTのゲートに駆動されます。＜＜★During IGBT turn­off, the gate discharging current IG\_discharging flows from the IGBT’s gate through RGoff and RDSoff to the power ground of the driver IC.＞＞IGBTのターンオフ中、ゲート放電電流IG\_dischargeは、IGBTのゲートからRGoffおよびRDSoffを経由してドライバICの電源グランドに流れます。＜＜★Following this charging/discharging path, the peak current value can be derived by equations (1) and (2)＞＞この充電/放電経路に従って、ピーク電流値は式（1）および（2）によって導き出すことができます。



＜＜★This charging/discharging current must be lower than the peak current allowed for the driver IC’s output stage to guarantee the safe operation.＞＞この充電/放電電流は、安全な動作を保証するために、ドライバICの出力段に許容されるピーク電流よりも低くする必要があります。



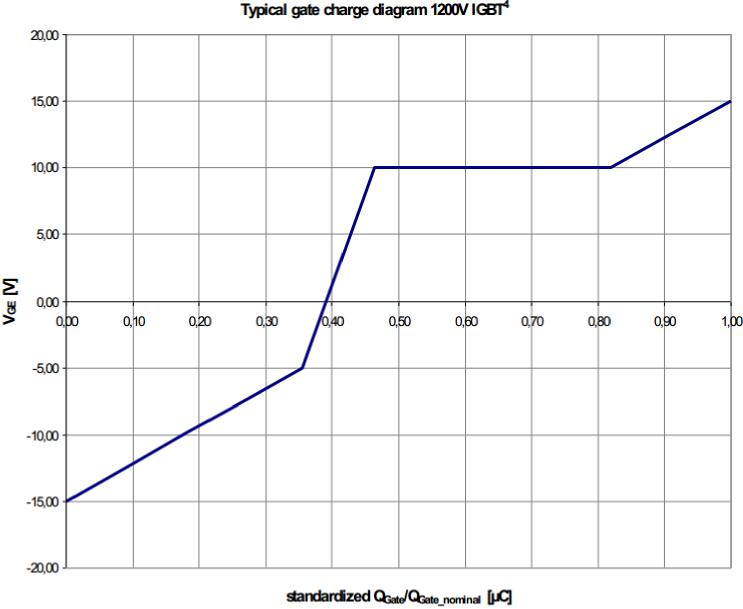


**3.2 Power dissipation**

The gate resistor has a very important function **–** help to limit the power dissipation in the driver IC’s output stage. Ahigher resistance reduces the current, thus reducing the power to be dissipated in the driver IC. According to Figure 2, during turn-on the power dissipation at the internal resistance RDSon can be calculated as

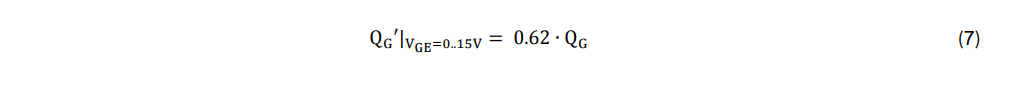
During turn-off, the power dissipation at the internal resistance RDSoff can be calculated as

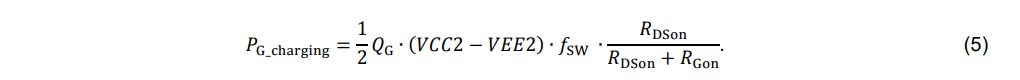
Here, fSW is the switching frequency and *VCC2* ***–*** *VEE2* is the gate voltage step between charging and discharging of the gate capacitance. The value of the charge *QG* to be considered depends on the gate-emitter voltage VGE and an accurate approximation can be done using the gate charge curve [1] as given in Figure 3.

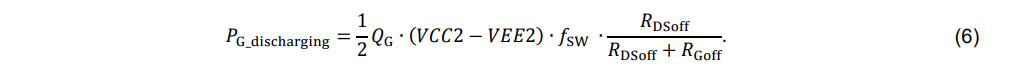


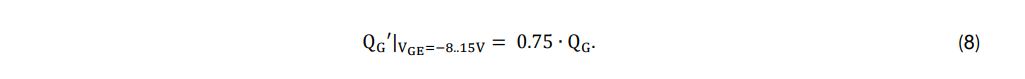
1. ＜＜★Gate charge diagram＞＞ゲート電荷図

＜＜★In order to conduct quick calculation, some datasheets [2] directly specify the gate charge QG under the condition VGE = -15V...+15V.＞＞迅速な計算を行うために、一部のデータシート[2]は、VGE = -15V ... + 15Vの条件でゲート電荷QGを直接指定しています。＜＜★In this case, when the turn-on voltage from the driver IC is +15V and turn-off voltage is -15V, this value can be directly used in equation (5) and (6).＞＞この場合、ドライバICからのターンオン電圧が+ 15V、ターンオフ電圧が-15Vの場合、この値は式（5）および（6）で直接使用できます。＜＜★In case the turn-off voltage VGE = 0V or VGE = -8V, the respective value QG**’** can be approximateed as given in equations (7) and (8),＞＞ターンオフ電圧VGE = 0VまたはVGE = -8Vの場合、それぞれの値QG 'は式（7）および（8）で与えられるように概算できます。

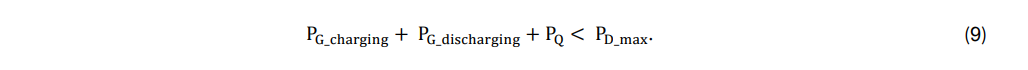








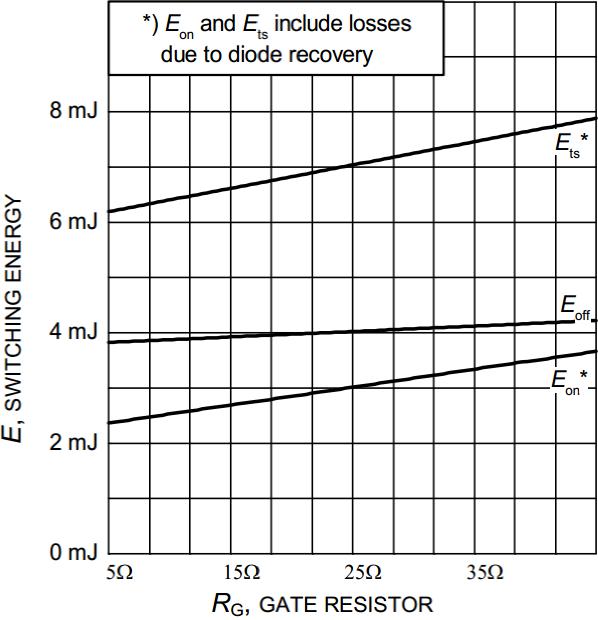
＜＜★The overall power dissipation of the driver IC must remain below the maximum allowed power dissipation value PD\_max, leading to the damand＞＞ドライバICの全体的な消費電力は、最大許容消費電力値PD\_maxを下回っている必要があり、これにより、



＜＜★In this equation, PQ depicts the quiescent power of the driver IC.＞＞この式で、PQはドライバICの静止電力を表します。＜＜★［1］Combining equation (5), (6) and (9), it can be easily seen that higher values for the gate resistances RGon and RGoff will reduce the power dissipation at the driver IC’s output stage, so that it will help to guarantee a safe operation of the component.＞＞式（5）、（6）、（9）を組み合わせると、ゲート抵抗RGonとRGoffの値を大きくすると、ドライバICの出力段での消費電力が減少し、安全性の保証に役立つことが簡単にわかります。コンポーネントの操作。

## **3.3 ＜＜★Switching speed and electromagnetic compatibility＞＞スイッチング速度と電磁両立性**

＜＜★As described in section 3.2, higher gate resistance values can be beneficial from the driver IC’s loss-situation and thermal point of view.＞＞セクション3.2で説明したように、ゲート抵抗値を高くすると、ドライバICの損失状況と熱の観点から有益な場合があります。＜＜★Furthermore, the changing of the gate resistance will influence the switching speed of the power device, which will have an impact in two directions: efficiency and noise.＞＞さらに、ゲート抵抗の変化はパワーデバイスのスイッチング速度に影響を与え、効率とノイズの2つの方向に影響を与えます。



1. ＜＜★Typical switching losses as function of gate resistor for Infineon IKW25T120 [3]＞＞インフィニオンIKW25T120のゲート抵抗の関数としての一般的なスイッチング損失[3]

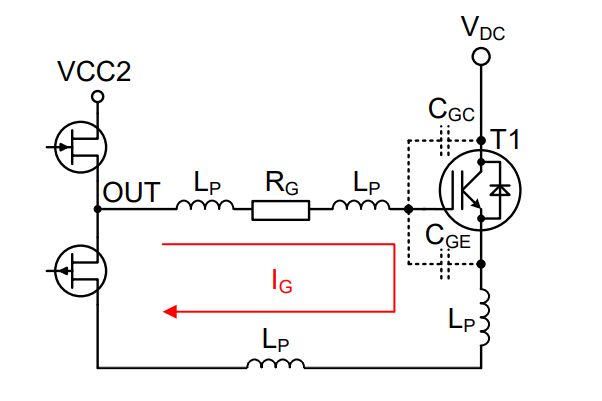
＜＜★Generally speaking, with higher gate resistance value, the switching speed of the power device will decrease.＞＞一般的に、ゲート抵抗値が高くなると、パワーデバイスのスイッチング速度が低下します。＜＜★This means the switching loss will be increased as illustrated in Figure 4 as an example.＞＞これは、例として図4に示すように、スイッチング損失が増加することを意味します。＜＜★This in turn will finally influence the efficiency.＞＞これは最終的に効率に影響を与えます。＜＜★In contrast, when a lower gate resistance is applied, the switching will become faster which can reduce the switching loss.＞＞対照的に、より低いゲート抵抗が適用されると、スイッチングが速くなり、スイッチング損失を減らすことができます。＜＜★Meanwhile, the noise induced by di/dt and dv/dt will increase with higher switching speed.＞＞一方、di / dtとdv / dtによって引き起こされるノイズは、スイッチング速度が速くなると増加します。＜＜★Since the electromagnetic compatibility (EMC) regulation must be fulfilled, the gate resistance value needs to be chosen carefully.＞＞電磁両立性（EMC）規制を満たす必要があるため、ゲート抵抗値は慎重に選択する必要があります。

＜＜★To get more information about this topic, please refer to the Infineon paper: Balancing losses and noise - considerations for choosing the gate resistor [4].＞＞このトピックの詳細については、インフィニオンの論文「損失とノイズのバランス調整-ゲート抵抗を選択する際の考慮事項」[4]を参照してください。

## **3.4 ＜＜★Gate ringing＞＞ゲートリンギング**

＜＜★In power electronic applications, gate ringing is an often observed phenomenon due to parasitics along the gate loop.＞＞パワーエレクトロニクスアプリケーションでは、ゲートループに沿った寄生が原因で、ゲートリンギングがよく観察される現象です。＜＜★As described in Figure 5, OUT is the output of the driver IC, which is used to drive a power device.＞＞図5で説明されているように、OUTは電源デバイスを駆動するために使用されるドライバICの出力です。＜＜★IG is the gate current along the gate loop.＞＞IGは、ゲートループに沿ったゲート電流です。＜＜★LP and CGE are the parasitics along the gate loop which form the resonant tank.＞＞LPとCGEは、共振タンクを形成するゲートループに沿った寄生要素です。＜＜★With excitation, oscillation could appear.＞＞励起すると、振動が発生する可能性があります。

1. ＜＜★Gate loop with parasitics＞＞寄生要素のあるゲートループ



＜＜★For the applications which use power MOSFETs, this gate ringing effect normally becomes more severe, especially for parallel driving since more resonance tanks are formed.＞＞パワーMOSFETを使用するアプリケーションの場合、特に並列駆動の場合、より多くの共振タンクが形成されるため、このゲートリンギング効果は通常より深刻になります。＜＜★To avoid the ringing effect, one important measure is to limit the parasitic inductance LP by layout optimization:＞＞リンギング効果を回避するための重要な対策の1つは、レイアウトの最適化によって寄生インダクタンスLPを制限することです。

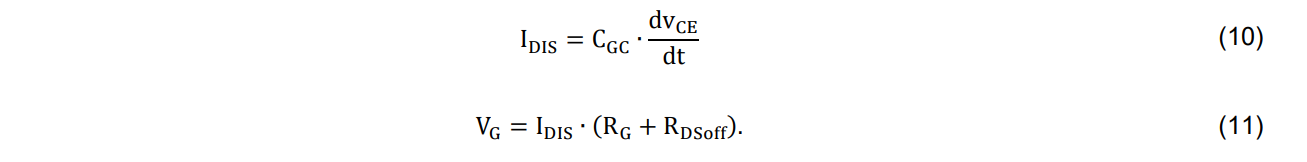
* ＜＜★Shorten the trace length to physically keep the gate loop as small as possible which can normally reduce the parasitic inductance by 1nH/mm.＞＞トレース長を短くして、ゲートループを物理的にできるだけ小さくします。これにより、通常、寄生インダクタンスを1nH / mm減らすことができます。
* ＜＜★Connect Kelvin emitter/source when it is available on power device＞＞ケルビンエミッタ/ソースが電源デバイスで利用可能な場合は接続します

＜＜★In some designs, this cannot be achieved due to the geometry.＞＞一部の設計では、形状が原因でこれを実現できません。＜＜★In this case, use of a larger gate resistance value could be a workaround, which will increase the damping effect and finally suppress the ringing effect.＞＞この場合、より大きなゲート抵抗値を使用することで回避策が得られ、ダンピング効果が高まり、最終的にリンギング効果が抑制されます。＜＜★［1］Designers should be aware that, as already mentioned in section 3.3, increasing the gate resistance value will decrease the efficiency.＞＞設計者は、セクション3.3ですでに述べたように、ゲート抵抗値を大きくすると効率が低下することに注意する必要があります。＜＜★Also, considering signal integrity, too high gate resistance value will decouple the gate signal which comes from the output stage of the driver.＞＞また、シグナルインテグリティを考慮すると、ゲート抵抗値が高すぎると、ドライバの出力段からのゲート信号が分離されます。＜＜★This will lead to longer delay times or even operation failure.＞＞これにより、遅延時間が長くなり、操作が失敗することさえあります。＜＜★Therefore, the value of the gate resistor should be chosen carefully.＞＞したがって、ゲート抵抗の値は慎重に選択する必要があります。

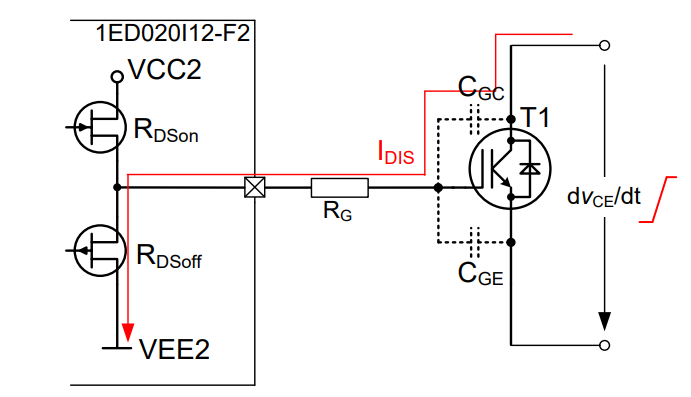
＜＜★Besides the value choosing, the layout of the gate resistor is also important.＞＞値の選択に加えて、ゲート抵抗のレイアウトも重要です。＜＜★If it is physically possible, the gate resistor should be put as close as possible to the gate of the power device.＞＞物理的に可能な場合は、ゲート抵抗を電源装置のゲートにできるだけ近づけて配置する必要があります。

1. ＜＜★Parasitic tun-on＞＞寄生性の調整

＜＜★As sketched in Figure 6, high dvCE/dt across the power device T1 will generate a displacement current IDIS through the Miller capacitor CGC. This is often triggered by turning on the paired device in a half bridge topology.＞＞図6にスケッチされているように、パワーデバイスT1の両端の高いdvCE / dtは、ミラーコンデンサCGCを介して変位電流IDISを生成します。これは多くの場合、ハーフブリッジトポロジでペアリングされたデバイスをオンにすることによってトリガーされます。＜＜★Through the gate resistor RG, this displacement current IDIS will generate a voltage drop across the gate resistor and will lift up the gate voltage of the power device.＞＞ゲート抵抗RGを介して、この変位電流IDISはゲート抵抗の両端に電圧降下を生成し、パワーデバイスのゲート電圧を上昇させます。＜＜★This can be calculated according to equation (10) and (11)＞＞これは、式（10）および（11）に従って計算できます。



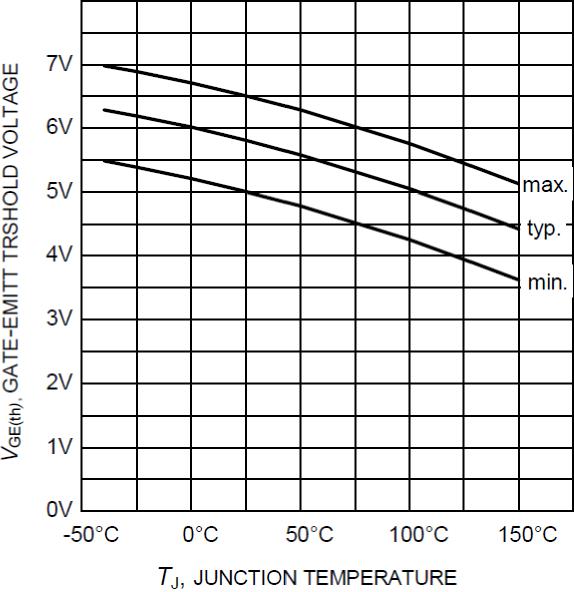
＜＜★RDSoff depicts the resistance of the driver IC’s pulling down device.＞＞RDSoffは、ドライバICのプルダウンデバイスの抵抗を示します。＜＜★［1］Here, the pulling down device is on when the power device T1 is off.＞＞ここで、電源装置Ｔ１がオフのとき、プルダウン装置はオンである。＜＜★VG is the voltage which appears at the gate of the power device.＞＞VGは、電源装置のゲートに現れる電圧です。＜＜★When VG is higher than the threshold voltage of the power device T1, the parasitic turn-on happens.＞＞VGがパワーデバイスT1のしきい値電圧よりも高い場合、寄生ターンオンが発生します。＜＜★This will influence the safety of the system as bridge shoot-through could appear.＞＞これは、ブリッジのシュートスルーが発生する可能性があるため、システムの安全性に影響を与えます。



## **3.5 Parasitic turn-on**

Parasitic turn-on is a common phenomenon in many situations. This is a physical effect due to the high dv/dt combined with the parasitic Miller capacitance.

＜＜★This parasitic turn-on effect could become more severe when the temperature increases, since the gate threshold voltage of the power device is normally negatively proportional to temperature.＞＞パワーデバイスのゲートしきい値電圧は通常、温度に負の比例関係にあるため、この寄生ターンオン効果は、温度が上昇するとさらに深刻になる可能性があります。＜＜★Figure 7 gives an example based on the datasheet of Infineon’s IGBT IKW25T120 [3].＞＞図7は、インフィニオンのIGBTIKW25T120のデータシートに基づく例を示しています[3]。



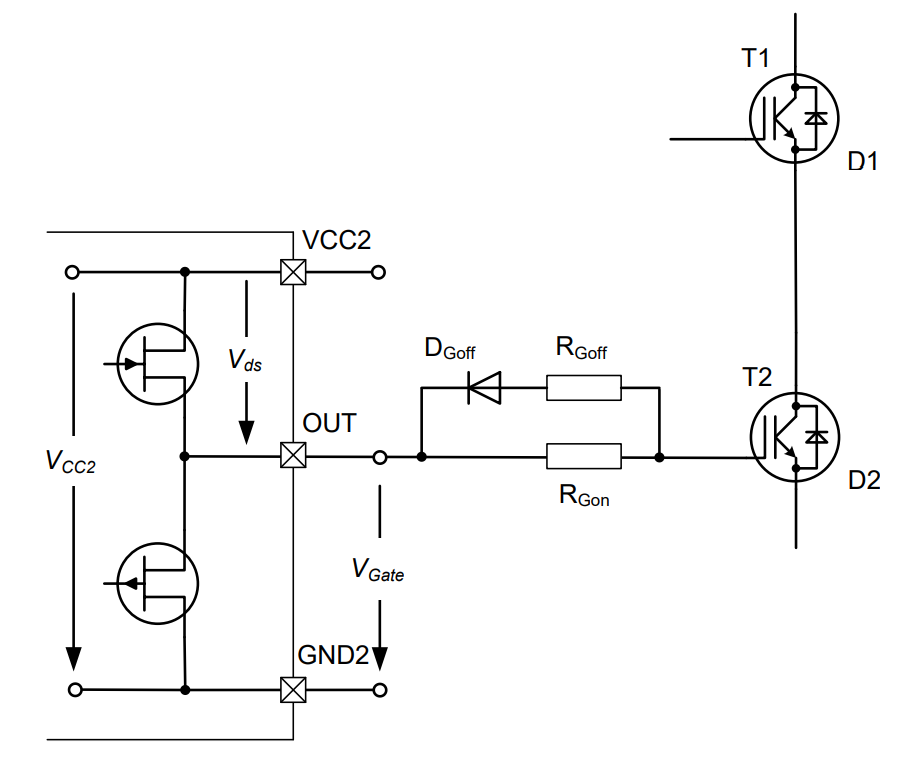
1. ＜＜★Gate-emitter threshold voltage as function of junction temperature [3]＞＞接合部温度の関数としてのゲート-エミッタしきい値電圧[3]

＜＜★One measure to limit this parasitic turn-on effect is to reduce the gate resistance value according to equation (11).＞＞この寄生ターンオン効果を制限する1つの方法は、式（11）に従ってゲート抵抗値を減らすことです。

## **3.6 ＜＜★Typical gate circuit＞＞典型的なゲート回路**

＜＜★In many applications, separated turn-on and turn-off gate resistors are used as seen in Figure 8.＞＞多くのアプリケーションでは、図8に示すように、分離されたターンオンゲート抵抗とターンオフゲート抵抗が使用されます。＜＜★The series connected fast recovery diode DGoff is used to keep the gate resistance during turn-off lower than the gate resistance during turn-on.＞＞直列接続された高速回復ダイオードDGoff は、ターンオフ時のゲート抵抗をターンオン時のゲート抵抗よりも低く保つために使用されます。＜＜★［1］This is done because the turn-off delay time is often longer than the turn-on delay time for some of the power devices.＞＞これが行われるのは、一部のパワーデバイスのターンオフ遅延時間がターンオン遅延時間よりも長い場合が多いためです。＜＜★It can also help to prevent a capacitive turn-on via the Miller capacitance as explained in section 3.5.＞＞また、セクション3.5で説明されているように、ミラー容量を介した容量性ターンオンを防ぐのにも役立ちます。＜＜★On the other hand, if the value chosen for RGoff is too low, it could lead to large voltage overshoot across power devices due to too high di/dt during turn-off.＞＞一方、RGoffに選択した値が低すぎると、ターンオフ時のdi / dtが高すぎるため、パワーデバイス全体で大きな電圧オーバーシュートが発生する可能性があります。＜＜★So it is always a trade-off between switching speed and robustness.＞＞したがって、これは常にスイッチング速度と堅牢性の間のトレードオフです。＜＜★As a rule of thumb it can be assumed that RGon=2RGoff.＞＞経験則として、RGon =2RGoffと見なすことができます。

1. ＜＜★Basic gate circuit＞＞基本ゲート回路



# **4 ＜＜★The tricks to quickly select a proper gate resistor＞＞適切なゲート抵抗をすばやく選択するための秘訣**

＜＜★Despite the various influences that are found in choosing a proper gate resistor, considering some basic hints can help the designer to get a quick start.＞＞適切なゲート抵抗を選択する際に見られるさまざまな影響にもかかわらず、いくつかの基本的なヒントを考慮すると、設計者はすぐに始めることができます。＜＜★This section focuses on the power rating of gate resistors and a thumb rule for quick selection.＞＞このセクションでは、ゲート抵抗の電力定格と、すばやく選択するための経験則に焦点を当てます。

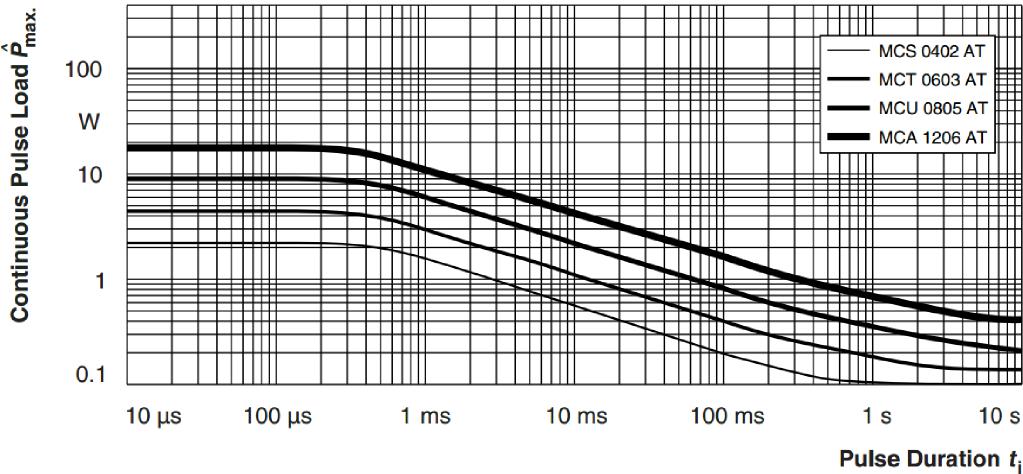
## **4.1 ＜＜★Power rating of gate resistors＞＞ゲート抵抗器の電力定格**

＜＜★Driving the gate is the typical pulse operation.＞＞ゲートの駆動は、典型的なパルス動作です。＜＜★The gate resistor needs to sustain the gate charging and discharging pulse current repetitively.＞＞ゲート抵抗は、ゲートの充電と放電のパルス電流を繰り返し維持する必要があります。＜＜★To select a proper gate resistor, the pulse power capability needs to be checked.＞＞適切なゲート抵抗を選択するには、パルス電力能力をチェックする必要があります。＜＜★As describe in section 3.1, the peak pulse current during gate charging/discharging can be calculated according to equation (1) and (2).＞＞セクション3.1で説明したように、ゲートの充電/放電中のピークパルス電流は式（1）および（2）に従って計算できます。＜＜★Then, the pulse power can be derived from equations (12) and (13)＞＞次に、パルスパワーは式（12）および（13）から導出できます。

𝑃 G\_charing\_peak = 𝐼2G\_charging\_peak ∙ 𝑅G (12)

𝑃 G\_discharing\_peak = 𝐼2G\_discharging\_peak ∙ 𝑅G. (13)

＜＜★This calculated pulse power must be in the range of the maximum allowed continuous pulse load, as displayed in Figure 9 as an example, to guarantee a safe and reliable operation.＞＞この計算されたパルス電力は、安全で信頼性の高い動作を保証するために、例として図9に示すように、最大​​許容連続パルス負荷の範囲内にある必要があります。



**Figure 9 ＜＜★Maximum pulse load, continuous pules, Vishay thin film resistor [5]＞＞最大パルス負荷、連続パルス、Vishay薄膜抵抗器[5]**

## **4.2 ＜＜★Rule of Thumb＞＞経験則**

＜＜★［2］To quickly find a balance point between stability and efficiency, the gate resistance value between nominal value specified in the datasheet and twice of this nominal value can be considered as a point to start from.＞＞安定性と効率のバランスポイントをすばやく見つけるために、データシートで指定された公称値とこの公称値の2倍の間のゲート抵抗値を出発点と見なすことができます。＜＜★This is only in the case if there is no time to check through all related issues which are explained in the above chapters.＞＞これは、上記の章で説明されているすべての関連する問題を確認する時間がない場合にのみ当てはまります。＜＜★To be sure the gate resistor really fits into the specified application, individual test must be applied based on the real system.＞＞ゲート抵抗が指定されたアプリケーションに実際に適合することを確認するには、実際のシステムに基づいて個別のテストを適用する必要があります。

# **5 参考資料**

1. ＜＜★Infineon Technologies: Application Note; Industrial IGBT Modules Explanation of Technical Information; Infineon Technologies, Germany＞＞インフィニオンテクノロジーズ：アプリケーションノート; 産業用IGBTモジュール技術情報の説明。インフィニオンテクノロジーズ、ドイツ
2. ＜＜★Infineon Technologies: Datasheet; DF200R12W1H3\_B27; Infineon Technologies, Germany＞＞インフィニオンテクノロジーズ：データセット; DF200R12W1H3\_B27; インフィニオンテクノロジーズ、ドイツ
3. ＜＜★Infineon Technologies: Datasheet; IKW25T120; Infineon Technologies, Germany＞＞インフィニオンテクノロジーズ：データセット; IKW25T120; インフィニオンテクノロジーズ、ドイツ
4. ＜＜★Infineon Technologies: Paper; Balancing losses and noise - considerations for choosing the gate resistor; Infineon Technologies, Germany＞＞インフィニオンテクノロジーズ：紙; 損失とノイズのバランス調整-ゲート抵抗を選択する際の考慮事項。インフィニオンテクノロジーズ、ドイツ
5. Vishay: Datasheet; MCA1206AT; Vishay, USA

変更履歴

**＜＜★Major changes since the last revision＞＞前回の改訂以降の主な変更点**

**Page or Reference**

**Description of change**