|  |
| --- |
| AN226137 |
| |  | | --- | | ＜＜★Author: Vinay Manikkoth | | 関連するパーツファミリ：S27KL0641 / S27KS0641、S27KL0642 / S27KS0642 | | 関連ドキュメント：完全なリストについては、ここをクリックしてください | |
| AN226137では、S27KL0641 / S27KS0641からS27KL0642 / S27KS0642に移行するときに考慮する必要がある主な違いについて説明しています。このアプリケーションノートでは、S27KL0642 / S27KS0642がS27KL0641 / S27KS0641の代わりになる方法について説明します。 |

7

# はじめに

64-Mbit HyperRAM™であるS27KL0642 / S27KS0642は、S27KL0641 / S27KS0641の代替デバイスです。すべての設計で、S27KL0642 / S27KS0642はS27KL0641 / S27KS0641の上位互換とみなすことができます。2つのデバイスはピン互換であり、パッケージの構成と寸法、および読み取り/書き込み機能の点で同一です。このアプリケーションノートでは、S27KL0641 / S27KS0641からS27KL0642 / S27KS0642へ移行するときに考慮する必要がある2つのデバイス間の主な違いについて説明します。

# ドロップイン置換かどうか?

ハードウェアの観点からは、PCBの変更は必要ありません。ソフトウェアの観点から見ると、2つのデバイスの主な違いはコンフィギュレーションレジスタ1とデバイスIDです。詳細については重要な考慮事項を参照してください。

S27KL0642 / S27KS0642は、ディープパワーダウン機能、低スタンバイ電流、高速機能などの多くの機能を追加します。表1に、S27KL0641 / S27KS0641とS27KL0642 / S27KS0642の互換性チャートを示します。詳細な比較については、表4を参照してください。

表1.　互換性チャート

| S27KL0641 / S27KS0641機能または仕様 | S27KL0642 / S27KS0642互換性の有無？ |
| --- | --- |
| パッケージ | 有 |
| ピン配列 | 有 |
| 温度範囲 | 有 |
| 動作電圧 | 有 |
| 動作電流 | 有 |
| スタンバイ電流 | 有 |
| 読み取り/書き込み機能 | 有 |
| タイミング/周波数 | 有 |
| デフォルトIDおよびCR設定 | 無 |

# 注文部品番号

表2に、S27KL0641 / S27KS0641の注文部品番号に対応した、推奨されるS27KL0642 / S27KS0642の注文部品番号（OPN）を示します。

表2.　移行に推奨される注文部品番号

| S27KL0641 / S27KS0641 | | S27KL0642/S27KS0642 | | **備考** |
| --- | --- | --- | --- | --- |
| **OPN** | **状態** | **OPN** | **状態** |
| S27KS0641 | 新しいデザインにはお勧めしません | S27KS0642 | 生産中 | ハードウェアの変更は必要ありません。両方のデバイスはピン互換です。 |
| S27KL0641 | 新しいデザインにはお勧めしません | S27KL0642 | 生産中 | ハードウェアの変更は必要ありません。両方のデバイスはピン互換です。 |

# S27KL0641とS27KL0642の詳細な比較

表3.　詳細な比較表

|  | S27KL0641 | S27KL0642 | 備考 |
| --- | --- | --- | --- |
| ピン配列/パッケージの概要 | 24-ball FBGA | 24-ball4 FBGA | 同一 |
| 温度範囲 | –40 ºC to +85 ºC | –40 ºC to +85 ºC | 同一 |
| 動作電圧範囲 | 2.7 V to 3.6 V | 2.7 V to 3.6 V | 同一 |
| DC特性 | 表8に、DCパラメーターの詳細な比較を示します。 | | |
| AC特性 | 表10に、AC特性の詳細な比較を示します。 | | |
| スタンバイ電流（ICC4I） | 200 µA @ 85 ºC | 250 µA @ 85 ºC | S27KL0642のスタンバイ電流は高くなっています。 |
| ディープ パワー ダウン電流 | 20 µA | 12 µA | S27KL0642のディープパワーダウン電流は低くなっています。 |
| ハイブリッドスリープ電流 | – | 230 µA | このデバイスの新機能/仕様。前世代のデバイスではサポートされていません。 |
| CS# HIGHでハイブリッドスリープ（tHSIN）に入る | – | 3 µs | このデバイスの新機能/仕様。前世代のデバイスではサポートされていません。 |
| 差動クロック | VCC = 3Vでは適用されません | すべての動作電圧範囲に適用可能 | S27KL0642のCK#は未使用の時、フローティングのままにしておくことができます。 |
| ダイ製造情報 | - | 36バイトのダイ製造情報が利用可能 | この情報は、アドレスオフセットが0x1800のレジスタとして読み取ることができます。  このデバイスの新機能/仕様。前世代のデバイスではサポートされていません。 |
| クロック周波数（最大） | 100 MHz | 200 MHz | S27KL0642においてより高速になっています。タイミングの比較については、表11を参照してください。 |
| デフォルトのレイテンシー | 6クロックサイクル | 7クロックサイクル | **重大な違い。**レイテンシーサイクルを参照してください。 |
| コンフィギュレーションレジスタ1 | 分散リフレッシュ間隔を構成するために使用されます | 追加オプションを追加 | 表7を参照してください。 |
| VDD最小およびRESET＃HIGHからファーストアクセス（tVCS） | 150 µs / V | 150 µs / V | 同一 |
| 部品が正しく初期化するための電源切断期間（tPD） | 50 | 50 | 同一 |
| 初期化を確実にするために必要なVDD（VRST） | 0.8 | 0.7 | S27KL0642はより低いVRSTを提供します。 |
| それ以下では初期化が必要なVDDロックアウト（VLKO） | 2.7 | 2.4 | S27KL0642はより低いVLKOを提供します。 |
| VDDパワーダウンランプレート（tVF） | 50 µs / V | 50 µs / V | 同一 |
| パルス幅のリセット（tRP） | 200 ns | 200 ns | 同一 |
| RESET# HIGHとCS# LOWの間の時間（tRH） | 200 ns | 200 ns | 同一 |
| RESET# LOWからCS# LOWまでの時間（tRPH） | 400 ns | 400 ns | 同一 |
| デバイスID0 | 0x0C81 | 0x0C81 | 同一 |
| デバイスID1 | 0x0000 | 0x0001 | **重大な違い。**デバイスIDを参照してください。 |

# S27KS0641とS27KS0642の詳細な比較

表4.　詳細な比較表

|  | S27KS0641 | S27KS0642 | 備考 |
| --- | --- | --- | --- |
| ピン配列/パッケージの概要 | 2-ball FBGA | 24-ball FBGA | 同一 |
| 温度範囲 | –40 ºC to +85 ºC | –40 ºC to +85 ºC | 同一 |
| 動作電圧範囲 | 1.7 V to 1.95 V | 1.7 V to 2.0 V | S27KS0642は広い動作範囲を提供します。 |
| DC特性 | 表9に、DCパラメーターの詳細な比較を示します。 | | |
| AC特性 | 表11に、AC特性の詳細な比較を示します。 | | |
| スタンバイ電流 | 200 µA @ 85 ºC | 220 µA @ 85 ºC | S27KS0642のスタンバイ電流は高くなっています。 |
| ディープパワーダウン電流 | 10 µA | 10 µA | 同一 |
| ハイブリッドスリープ電流 | – | 200 µA | このデバイスの新機能/仕様。前世代のデバイスではサポートされていません。 |
| 差動クロック（CK#） | 差動クロックが必要です | 差動クロックはオプションです | S27KL0642のCK#は未使用の時、フローティングのままにしておくことができます。 |
| ハイブリッドスリープ（tHSIN）に入るCS# HIGH | – | 3 µs | このデバイスの新機能/仕様。前世代のデバイスではサポートされていません。 |
| ダイ製造情報 | – | 36バイトのダイ製造情報が利用可能 | この情報は、アドレスオフセットが0x1800のレジスタとして読み取ることができます。  このデバイスの新機能/仕様。以前の世代のデバイスではサポートされていません。 |
| クロック周波数（最大） | 166 MHz | 200 MHz | S27KS0642においてより高速になっています。タイミングの比較については、表11を参照してください。 |
| デフォルトのレイテンシー | 6クロックサイクル | 7クロックサイクル | **重大な違い**。レイテンシーサイクルを参照してください。 |
| コンフィギュレーションレジスタ1 | 分散リフレッシュ間隔を構成するために使用されます | 追加オプションを追加 | 表7を参照してください。 |
| VDD最小およびRESET# HIGHからファーストアクセス（tVCS） | 150 µs / V | 150 µs / V | 同一 |
| 部品が正しく初期化するための電源切断期間（tPD） | 50 | 50 | 同一 |
| 初期化を確実にするために必要なVDD（VRST） | 0.8 | 0.7 | S27KS0642はより低いVRSTを提供します。 |
| それ以下では初期化が必要なVDDロックアウト（VLKO） | 1.7 | 1.5 | S27KS0642はより低いVLKOを提供します。 |
| VDDパワーダウンランプレート（tVF） | 50 µs / V | 50 µs / V | 同一 |
| パルス幅のリセット（tRP） | 200 ns | 200 ns | 同一 |
| RESET# HIGHとCS# LOWの間の時間（tRH） | 200 ns | 200 ns | 同一 |
| RESET# LOWからCS# LOWまでの時間（tRPH） | 400 ns | 400 ns | 同一 |
| デバイスID0 | 0x0C81 | 0x0C81 | 同一 |
| デバイスID1 | 0x0000 | 0x0001 | **重大な違い**。デバイスIDを参照してください。 |

# 重要な考慮事項

S27KL0642 / S27KS0642への移行中に、表3および表4に記載されているすべてのパラメーターの違いを考慮する必要があります。このセクションでは、S27KL0641 / S27KS0641とS27KL0642 / S27KS0642の重要な違いについて説明します。システム設計者は、新しい部品に移行するときにデータシートも確認する必要があります。

## デバイスID（ID0およびID1）

* 1. S27KL0641 / S27KS0641およびS27KL0642 / S27KS0642には、製品を一意に識別するための2つのダブルワード（4バイト）の読み取り専用デバイスIDが組み込まれています。デバイスIDを使用すると、ホストは製造元、製品の密度、および製品タイプを判別できます。表5に、S27KL0641 / S27KS0641およびS27KL0642 / S27KS0642のデバイスIDを示します。ここで、違いは赤で強調表示されています。

表5.　デバイスID

|  | S27KL0641/S27KS06421 | S27KL0642/S27KS0642 |
| --- | --- | --- |
| Device ID 0 | 0x0C81 | 0x0C81 |
| Device ID 1 | 0x0000 | 0x0001 |

## レイテンシーサイクル

コンフィギュレーションレジスタ0（CR0）は、レイテンシーサイクルを設定するために使用されます。S27KL0641 / S27KS0641のレイテンシー設定はデフォルトで6クロックですが、S27KL0642 / S27KS0642のレイテンシー設定はデフォルトで7クロックです。S27KL0642 / S27KS0642に移行するには、デフォルトの遅延設定を使用している場合、追加の1クロックサイクルを処理するためにファームウェアを更新する必要があります。

表6.　CR0の比較

|  |  |  |  |
| --- | --- | --- | --- |
| **CR1ビット** | **S27KL0641/S27KS0641** | **S27KL0642/S27KS0642** | **備考** |
| [7:4] | 0001b（デフォルト） | 0010b（デフォルト） | デフォルト値が異なります。 |

## コンフィギュレーションレジスタ1

S27KL0641 / S27KS0641では、コンフィギュレーションレジスタ1（CR1）を使用して、このHyperRAMデバイスの分散リフレッシュ間隔を定義します。S27KL0642 / S27KS0642にいくつかの追加機能が追加されました。これらは、S27KL0642 / S27KS0642のCR1を介して構成できます。表7は、S27KL0641 / S27KS0641とS27KL0642 / S27KS0642のCR1を比較しています。

表7.　CR1の比較

| **CR1ビット** | **S27KL0641/S27KS0641** | **S27KL0642/S27KS0642** | **備考** |
| --- | --- | --- | --- |
| [15:8] | 0x00（デフォルト） | 0xFF（デフォルト） | 使用されていませんが、デフォルト値が異なります。 |
| [7] | 0 (初期設定値) | 1（デフォルト） |
| [6] | 0 (初期設定値) | マスタークロックタイプ：  1 =シングルエンド（デフォルト）  0 =差動 | S27KX0641のデフォルト値は、差動クロックモードでS27KX0642を設定します。ただし、S27KX0642の差動クロックが有効になっている場合でも、CK#の切り替えはオプションです。CK#入力が静的（HIGHまたはLOW）のままであることを確認しますが、不要なノイズを拾わないようにフローティングにしないでください。 |
| [5] | 0 (初期設定値) | ハイブリッドスリープ：  0 =通常の操作（デフォルト）  1 =ハイブリッドスリープに入る | S27KX0642では、このビットを使用してハイブリッドスリープに入ります。この機能を使用しない場合は、デフォルトのままにしてください。 |
| [4:2] | 000b（デフォルト） | 部分的なアレイの更新：  000b =フルアレイ（デフォルト） | S27KX0642では、これらのビットを使用して、リフレッシュ操作をメモリの一部に制限できます。 |
| [1:0] | 分散リフレッシュ間隔  10b – 4 s（デフォルト）  11b –デフォルトの1.5倍  00b –デフォルトの2倍  01b –デフォルトの4倍 | 分散リフレッシュ間隔  10b – 1 µs（産業用プラス（105ºC）デバイスにのみ適用可能）  11b –予約済み  00b –予約済み  01b – 4 µs | S27KX0642の場合、CR [1：0]は読み取り専用ビットであり、プロセス、電圧、温度（PVT）コーナー全体のリフレッシュ間隔の変動に基づいて、デバイスによって内部的に決定および構成されます。すべてのHyperRAMアクセス（書き込みまたは読み取り）の前にこれらの2ビットをプローブして、現在のサイクルでリフレッシュ間隔を10b（1 µs）または01b（4 µs）にするかどうかを決定し、それに応じてホストコントローラーのtCSMを設定できます。または、ホストコントローラーがすべてのメモリアクセスの前にCR1にアクセスしたくない場合は、85ºCでのデータシートの推奨に従って、tCSMを4 µs（固定）に設定できます。 |

## DC特性（S27KL0641およびS27KL0642）

表8はS27KL0641とS27KL0642のDCパラメーターを比較しています。S27KL0642には、より高いDC特性値がいくつかあります。適切に移行するには、システムレベルでこれらのDC特性の違いを考慮に入れる必要があります。

表8.　DC特性の比較

| **パラメータ** | **変更内容** | **テスト条件** | **S27KL0641** | | **S27KL0642** | | **単位** |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Typ** | **Max** | **Typ** | **Max** |
| ILI4 | 入力漏れ電流3.3Vデバイスリセット信号ローのみ | VIN = VSSからVCC  VCC = VCC max |  | +20 |  | +15 | µA |
| ICC1 | VCCアクティブ読み取り電流 | CS# = VIL, VCC = 3.6 V | 20 | 35 | 15 | 30 | mA |
| ICC2 | VCCアクティブ書き込み電流 | CS# = VIL, VCC = 3.6 V | 15 | 35 | 15 | 30 | mA |
| ICC4I | VCCスタンバイ電流 | CS# = VIL, VCC = 3.6 V | 135 | 200 | 90 | 250 | µA |
| ICC5 | リセット電流 | CS# = VIH, RESET# = VIL, VCC = VCC max |  | 20 |  | 1 | mA |
| ICC6I | アクティブクロック停止電流 | CS# = VIH, RESET# = VIL, VCC = VCC max | 5.3 | 8 | 5 | 8 | mA |
| ICC7 | 電源投入時のVcc電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 3.6V | - | 35 |  | 35 | mA |
| IDPD | ディープパワーダウン電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 3.6 V |  | 20 |  | 12 | µA |
| IHS | ハイブリッドスリープ電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 2.0 V |  | - | 35 | 230 | µA |

## DC特性（S27KS0641およびS27KS0642）

表9は、S27KS0641とS27KS0642のDCパラメーターを比較しています。S27KS0642には、より高いDC特性値がいくつかあります。適切に移行するには、システムレベルでDC特性のこれらの違いを考慮に入れる必要があります。

表9.　DC特性の比較

| **パラメータ** | **変更内容** | **テスト条件** | **S27KS0641** | | **S27KS0642** | | **単位** |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Typ** | **Max** | **Typ** | **Max** |
| ILI4 | 入力漏れ電流1.8Vデバイスリセット信号LOWのみ | VIN = VSSからVCC  VCC = VCC max |  | +20 |  | +15 | µA |
| ICC1 | VCCアクティブ読み取り電流 | CS# = VIL, @200 MHz, VCC = 2.0 V | 20 | 60 | 15 | 25 | mA |
| ICC2 | VCCアクティブ書き込み電流 | CS# = VIL, @200 MHz, VCC = 2.0 V | 15 | 60 | 15 | 25 | mA |
| ICC4I | VCCスタンバイ電流 | CS# = VIL, @200 MHz, VCC = 2.0 V | 135 | 200 | 80 | 220 | µA |
| ICC5 | リセット電流 | CS# = VIH, RESET# = VIL, VCC = VCC max |  | 20 |  | 1 | mA |
| ICC6I | アクティブクロック停止電流 | CS# = VIH, RESET# = VIL, VCC = VCC max | 5.3 | 8 | 5 | 8 | mA |
| ICC7 | 電源投入時のVcc電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 2.0V | - | 35 |  | 35 | mA |
| IDPD | ディープパワーダウン電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 2.0 V |  | 10 |  | 10 | µA |
| IHS | ハイブリッドスリープ電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 2.0 V |  | - | 25 | 200 | µA |

## AC特性（S27KL0641およびS27KL0642）

表10は、S27KL0641とS27KL0642のACパラメーターを比較しています。S27KL0642への移行では、AC特性値が改善されているため、システムレベルでのタイミング調整は必要ありません。

表10.　タイミングパラメーターの比較

| **項目** | **記号** | **S27KL0641**  **(100 MHz)** | | **S27KL0642**  **(166 MHz)** | | **S27KL0642**  **(200 MHz)** | | **単位** |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **min** | **max** | **min** | **max** | **min** | **max** |  |
| トランザクション間でチップセレクトHIGH | tCSHI | 10 |  | 6 | - | 6 | - | ns |
| HyperRAMの読み取り/書き込み回復時間 | tRWR | 40 |  | 36 | - | 35 | - | ns |
| 次のCKライジングエッジへのチップセレクトセットアップ | tCSS | 3 |  | 3 | - | 3 | - | ns |
| 有効なデータストローブ | tDSV |  | 12 | - | 12 | - | 6.5 | ns |
| 入力設定 | tIS | 1 |  | 0.6 | - | 0.5 | - | ns |
| 入力ホールド | tIH | 1 |  | 0.6 | - | 0.5 | - | ns |
| HyperRAM読み取り初期アクセス時間 | tACC | 40 |  | 36 | - | 35 | - | ns |
| DQ Low Zへのクロック | tDQLZ | 0 |  | 0 | - | 0 | - | ns |
| CKからDQへの移行が有効（64 Mb） | tCKD |  | 7 | - | 7 | - | 6.5 | ns |
| CKからDQへの移行が無効（64 Mb） | tCKDI |  | 5.2 | - | 5.6 | - | 5.7 | ns |
| 有効なデータ（tDV min = 代用：tCKHP min - tCKD max + tCKDI max）またはtCKHP min - tCKD min + tCKDI min） | tDV | 2.7 |  | 1.3 | - | 1.45 | - | ns |
| CKからRWDSへの移行が有効（64 Mb） | tCKDS | 1 | 7 | 1 | 7 | 1 | 6.5 | ns |
| RWDSからDQへの移行が有効 | tDSS |  | 0.8 | - | 0.8 | - | 0.4 | ns |
| RWDSからDQへの移行が無効 | tDSH |  | 0.8 | - | 0.8 | - | 0.8 | ns |
| CK立ち下がりエッジ後のチップセレクトホールド | tCSH | 0 |  | 0 | - | 0 | - | ns |
| RWDS High-Zに対して非アクティブなチップセレクト | tDSZ |  | 7 | - | 7 | - | 6.5 | ns |
| DQ High-Zに対して非アクティブなチップセレクト | tOZ |  | 7 | - | 7 | - | 6.5 | ns |
| HyperRAMチップセレクト最大低時間（85°C） | tCSM |  | 4 | - | 4 | - | 4 | µs |
| リフレッシュ時間 | tRFH | 40 |  | 36 | - | 35 | - | ns |
| HyperBusCKからRWDS LOWへの移行@CA phase @Read（64 Mb） | tCKDSR |  |  | 1 | 7 | 1 | 7 | ns |

## AC特性（S27KS0641およびS27KS0642）

表11は、S27KS0641とS27KS0642のACパラメーターを比較しています。S27KS0642への移行では、tCSSタイミングパラメーターを除いてAC特性値が改善されているため、システムレベルでのタイミング調整は必要ありません。tCCSタイミング要件を満たすには、システムレベルのタイミングを変更する必要があります。

表11.　タイミングパラメーターの比較

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **項目** | **記号** | **S27KS0641**  **(166 MHz)** | | **S27KS0642**  **(200 MHz)** | | **単位** |
| **min** | **max** | **min** | **max** |  |
| トランザクション間でチップセレクトHIGH | tCSHI | 6 |  | 6 | - | ns |
| HyperRAMの読み取り/書き込み回復時間 | tRWR | 36 |  | 35 | - | ns |
| 次のCKライジングエッジへのチップセレクトセットアップ | tCSS | 3 |  | 4 | - | ns |
| 有効なデータストローブ | tDSV |  | 12 | - | 5 | ns |
| 入力設定 | tIS | 0.6 |  | 0.5 | - | ns |
| 入力ホールド | tIH | 0.6 |  | 0.5 | - | ns |
| HyperRAM読み取り初期アクセス時間 | tACC | 36 |  | 35 | - | ns |
| DQ Low Zへのクロック | tDQLZ | 0 |  | 0 | - | ns |
| CKからDQへの移行が有効（64 Mb） | tCKD |  | 5.5 | - | 5 | ns |
| CKからDQへの移行が無効（64 Mb） | tCKDI |  | 4.6 | - | 4.2 | ns |
| 有効なデータ（tDV min =代用：tCKHP min - tCKD max + tCKDI max）またはtCKHP min - tCKD min + tCKDI min） | tDV | 1.7 |  | 1.45 | - | ns |
| CKからRWDSへの移行が有効（64 Mb） | tCKDS | 1 | 5.5 | 1 | 5 | ns |
| RWDSからDQへの移行が有効 | tDSS |  | 0.45 | - | 0.4 | ns |
| RWDSからDQへの移行が無効 | tDSH |  | 0.45 | - | 0.4 | ns |
| CK立ち下がりエッジ後のチップセレクトホールド | tCSH | 0 |  | 0 | - | ns |
| RWDS High-Zに対して非アクティブなチップセレクト | tDSZ |  | 6 | - | 5 | ns |
| DQ High-Zに対して非アクティブなチップセレクト | tOZ |  | 6 | - | 5 | ns |
| HyperRAMチップセレクト最大低時間（85°C） | tCSM |  | 4 | - | 4 | µs |
| リフレッシュ時間 | tRFH | 36 |  | 35 | - | ns |
| HyperBus CKからRWDS LOWへの移行 @CA phase @Read（64 Mb） | tCKDSR |  |  | 1 | 5.5 | ns |

# 関連文書:

**データシート**

* [S27KL0641/S27KS0641、3.0 V/1.8 V、64 Mb（8 MB）/128 Mb（16 MB）、HyperRAM™セルフリフレッシュDRAM](https://www.cypress.com/documentation/datasheets/s27kl0641s27ks0641s70kl1281s70ks1281-30-v18-v-64-mb-8-mb128-mb-16-mb)
* S27KL0642/S27KS0642、3.0 V/ 1.8 V、64 Mb（8 MB）、HyperRAMセルフリフレッシュDRAM
* [HyperBus™低信号数の仕様、高性能DDRバス](https://www.cypress.com/file/213356/download)

改訂履歴

＜＜★Document Title: AN226137 – Migrating from S27KL0641/S27KS0641 to S27KL0642/S27KS0642

＜＜★Document Number: 002-26137

|  |  |  |  |
| --- | --- | --- | --- |
| 版 | Engineering Change Notification (技術変更届) | 発行日 | 変更内容 |
|  |  |  |  |
|  |  |  |  |

# 