|  |
| --- |
| AN226137 |
|

|  |
| --- |
| ＜＜★Author: Vinay Manikkoth |
| ＜＜★Associated Part Family: S27KL0641/[S27KS0641](https://www.cypress.com/documentation/datasheets/s27kl0641s27ks0641s70kl1281s70ks1281-30-v18-v-64-mb-8-mb128-mb-16-mb), S27KL0642/S27KS0642＞＞関連するパーツファミリ：S27KL0641 / S27KS0641、S27KL0642 / S27KS0642 |
| ＜＜★Related Documents: For a complete list, [click here＞＞](#_Related_Documents_1)関連ドキュメント：完全なリストについては、ここをクリックしてください |

  |
| ＜＜★AN226137 discusses the key differences that need to be considered when migrating from S27KL0641/S27KS0641 to S27KL0642/S27KS0642. This application note explains how S27KL0642/S27KS0642 is a replacement for S27KL0641/S27KS0641.＞＞AN226137では、S27KL0641 / S27KS0641からS27KL0642 / S27KS0642に移行するときに考慮する必要がある主な違いについて説明しています。このアプリケーションノートでは、S27KL0642 / S27KS0642がS27KL0641 / S27KS0641の代わりになる方法について説明します。  |

7

# はじめに

＜＜★S27KL0642/S27KS0642, a 64-Mbit HyperRAM™, is a replacement device for S27KL0641/S27KS0641.＞＞64メガビットのHyperRAM™であるS27KL0642 / S27KS0642は、S27KL0641 / S27KS0641の代替デバイスです。＜＜★［2］For all designs, S27KL0642/S27KS0642 can be considered as a superset of S27KL0641/S27KS0641. The two devices are pin-to-pin compatible and identical in terms of package composition and dimensions and read/write functionality. This application note discusses the key differences between the two devices that need to be considered when migrating from S27KL0641/S27KS0641 to S27KL0642/S27KS0642.＞＞すべての設計で、S27KL0642 / S27KS0642はS27KL0641 / S27KS0641のスーパーセットと見なすことができます。2つのデバイスはピンツーピン互換であり、パッケージの構成と寸法、および読み取り/書き込み機能の点で同一です。このアプリケーションノートでは、S27KL0641 / S27KS0641からS27KL0642 / S27KS0642に移行するときに考慮する必要がある2つのデバイス間の主な違いについて説明します。

# ドロップイン代替えするかしないか?

＜＜★From a hardware point of view, no PCB modification required.＞＞ハードウェアの観点からは、PCBの変更は必要ありません。＜＜★From a software point of view, the key difference between the two devices are Configuration Register 1 and Device ID.＞＞ソフトウェアの観点から見ると、2つのデバイスの主な違いはコンフィギュレーションレジスタ1とデバイスIDです。＜＜★See Critical Considerations for more details.＞＞詳細については、重要な考慮事項を参照してください。

＜＜★S27KL0642/S27KS0642 adds many features like Deep Power Down capability, lower standby current, and higher speed capability.＞＞S27KL0642 / S27KS0642は、ディープパワーダウン機能、低スタンバイ電流、高速機能などの多くの機能を追加します。＜＜★Table 1 shows the compatibility chart of S27KL0641/S27KS0641 and S27KL0642/S27KS0642.＞＞表1に、S27KL0641 / S27KS0641とS27KL0642 / S27KS0642の互換性チャートを示します。＜＜★For a detailed comparison, see Table 4.＞＞詳細な比較については、表4を参照してください。

＜＜★Table 1.＞＞表1。互換性表

| ＜＜★S27KL0641/S27KS0641 Feature or Spec＞＞S27KL0641 / S27KS0641機能または仕様 | ＜＜★S27KL0642/S27KS0642 Compatible?＞＞S27KL0642 / S27KS0642互換性がありますか？ |
| --- | --- |
| パッケージ | 有り |
| ピン配列 | 有り |
| 温度範囲 | 有り |
| 動作電圧 | 有り |
| ＜＜★Operating Current＞＞動作電流 | 有り |
| スタンバイ電流 | 有り |
| ＜＜★Read/Write Function＞＞読み取り/書き込み機能 | 有り |
| ＜＜★Timing/Frequency＞＞タイミング/周波数 | 有り |
| ＜＜★Default ID and CR settings＞＞デフォルトのIDおよびCR設定  | 順 |

# 注文製品番号

＜＜★Table 2 lists the recommended S27KL0642/S27KS0642 ordering part numbers (OPN) that correspond to S27KL0641/S27KS0641 ordering part numbers.＞＞表2に、S27KL0641 / S27KS0641の注文部品番号に対応する推奨S27KL0642 / S27KS0642注文部品番号（OPN）を示します。

＜＜★Table 2.＞＞表2。＜＜★Recommended Ordering Part Numbers for Migration＞＞移行に推奨される注文部品番号

| ＜＜★S27KL0641/S27KS0641＞＞S27KL0641 / S27KS0641 | S27KL0642/S27KS0642 | **備考** |
| --- | --- | --- |
| **OPN** | **状態** | **OPN** | **状態** |
| S27KS0641 | ＜＜★Not Recommended for new designs＞＞新しいデザインにはお勧めしません | S27KS0642 | ＜＜★In Production＞＞生産中 | ＜＜★No hardware change required.＞＞ハードウェアの変更は必要ありません。＜＜★Both devices are pin compatible.＞＞両方のデバイスはピン互換です。 |
| S27KL0641 | ＜＜★Not Recommended for new designs＞＞新しいデザインにはお勧めしません | S27KL0642 | ＜＜★In Production＞＞生産中 | ＜＜★No hardware change required.＞＞ハードウェアの変更は必要ありません。＜＜★Both devices are pin compatible.＞＞両方のデバイスはピン互換です。 |

# ＜＜★Detailed Comparison of S27KL0641 and S27KL0642＞＞S27KL0641とS27KL0642の詳細な比較

＜＜★Table 3. Detailed Comparison Table＞＞表.詳細な比較表

|  | S27KL0641 | S27KL0642 | 備考 |
| --- | --- | --- | --- |
| ＜＜★Pinout/package Outline＞＞ピン配列/パッケージの概要 | 24ボールFBGA | 24ボールFBGA | 同一  |
| 温度範囲 | –40 ºC to +85 ºC | –40 ºC to +85 ºC | 同一 |
| 動作電圧範囲 | 2.7 V to 3.6 V  | 2.7 V to 3.6 V | 同一 |
| 直流特性  | ＜＜★Table 8 shows the detailed comparison of DC parameters.＞＞表に、DCパラメータの詳細な比較を示します。 |
| AC特性 | ＜＜★Table 10 shows the detailed comparison of AC characteristics.＞＞表10に、AC特性の詳細な比較を示します。  |
| ＜＜★Standby Current (ICC4I)＞＞スタンバイ電流（ICC4I） | 200 µA @ 85 ºC | 250 µA @ 85 ºC | ＜＜★S27KL0642 has a higher standby current.＞＞S27KL0642のスタンバイ電流は高くなっています。 |
| ディープ パワー ダウン電流  | 20 µA | 12 µA | ＜＜★S27KL0642 has a lower Deep Power Down current.＞＞S27KL0642のディープパワーダウン電流は低くなっています。  |
| ＜＜★Hybrid Sleep Current＞＞ハイブリッドスリープ電流 | – | 230 µA  | ＜＜★New feature/spec in this device.＞＞このデバイスの新機能/仕様。＜＜★Not supported in the previous generation device.＞＞前世代のデバイスではサポートされていません。 |
| ＜＜★CS# high to Enter Hybrid Sleep (tHSIN)＞＞ハイブリッドスリープ（tHSIN）に入るCS＃高 | – | 3 µs | ＜＜★New feature/spec in this device.＞＞このデバイスの新機能/仕様。＜＜★Not supported in the previous generation device.＞＞前世代のデバイスではサポートされていません。 |
| ＜＜★Differential Clock＞＞差動時計 | ＜＜★Not applicable at VCC = 3 V＞＞VCC = 3Vでは適用されません | ＜＜★Applicable for all operating voltage ranges＞＞すべての動作電圧範囲に適用可能 | ＜＜★CK# of S27KL0642 can be left floating if not used.＞＞S27KL0642のCK＃は、使用しない場合はフローティングのままにしておくことができます。  |
| ＜＜★Die Manufacture Information＞＞金型製造情報 | - | ＜＜★36-byte Die Manufacture information available＞＞36バイトのダイ製造情報が利用可能  | ＜＜★This information can be read as a register with an address offset of 0x1800.＞＞この情報は、アドレスオフセットが0x1800のレジスタとして読み取ることができます。＜＜★New feature/spec in this device.＞＞このデバイスの新機能/仕様。＜＜★Not supported in the previous generation device.＞＞前世代のデバイスではサポートされていません。 |
| ＜＜★Clock Frequency (Max)＞＞クロック周波数（最大） | 100 MHz | 200 MHz | ＜＜★Higher speed offered in S27KL0642.＞＞S27KL0642で提供されるより高速。＜＜★For timing comparison, see Table 11.＞＞タイミングの比較については、表11を参照してください。 |
| ＜＜★Default Latency＞＞デフォルトのレイテンシ | ＜＜★6 clock cycles＞＞6クロックサイクル | ＜＜★7 clock cycles＞＞7クロックサイクル | **＜＜★Critical difference**.＞＞重大な違い。＜＜★See Latency cycles.＞＞レイテンシサイクルを参照してください。 |
| ＜＜★Configuration Register 1＞＞構成レジスタ1  | ＜＜★Used to configure distributed refresh interval＞＞分散リフレッシュ間隔を構成するために使用されます | ＜＜★Added additional options＞＞追加オプションを追加  | ＜＜★See Table 7.＞＞表7を参照してください。 |
| ＜＜★VDD Minimum and RESET# HIGH to First Access (tVCS)＞＞VDD最小およびRESET＃HIGHからファーストアクセス（tVCS） | 150 µs / V | 150 µs / V | 同一 |
| ＜＜★Power Down Period for Part to Initialize Correctly (tPD)＞＞部品が正しく初期化するための電源切断期間（tPD） | 50 | 50 | 同一 |
| ＜＜★VDD Required to Ensure Initialization (VRST)＞＞初期化を確実にするために必要なVDD（VRST） | 0.8 | 0.7 | ＜＜★S27KL0642 offers a lower VRST.＞＞S27KL0642はより低いVRSTを提供します。  |
| ＜＜★VDD Lock-Out Below Which Require Initialization (VLKO)＞＞それ以下では初期化が必要なVDDロックアウト（VLKO） | 2.7 | 2.4 | ＜＜★S27KL0642 offers a lower VLKO.＞＞S27KL0642はより低いVLKOを提供します。 |
| ＜＜★VDD Power-Down Ramp Rate (tVF)＞＞VDDパワーダウンランプレート（tVF） | 50 µs / V | 50 µs / V | 同一 |
| ＜＜★Reset Pulse Width (tRP)＞＞パルス幅のリセット（tRP） | 200 ns | 200 ns | 同一 |
| ＜＜★Time Between RESET# HIGH and CS# LOW (tRH)＞＞RESET＃HIGHとCS＃LOWの間の時間（tRH） | 200 ns | 200 ns | 同一 |
| ＜＜★Time Between RESET# LOW to CS# LOW (tRPH)＞＞RESET＃LOWからCS＃LOWまでの時間（tRPH） | 400 ns | 400 ns | 同一 |
| ＜＜★Device ID0＞＞デバイスID0 | 0x0C81 | 0x0C81 | 同一 |
| ＜＜★Device ID1＞＞デバイスID1 | 0x0000 | 0x0001 | **＜＜★Critical difference**.＞＞重大な違い。＜＜★See Device ID.＞＞デバイスIDを参照してください。 |

# ＜＜★Detailed Comparison of S27KS0641 and S27KS0642＞＞S27KS0641とS27KS0642の詳細な比較

＜＜★Table 4.＞＞表4。＜＜★Detailed Comparison Table＞＞詳細な比較表

|  | S27KS0641 | S27KS0642 | 備考 |
| --- | --- | --- | --- |
| ＜＜★Pinout/package Outline＞＞ピン配列/パッケージの概要 | 24ボールFBGA | 24ボールFBGA | 同一  |
| 温度範囲 | –40 ºC to +85 ºC | –40 ºC to +85 ºC | 同一 |
| 動作電圧範囲 | 1.7 V to 1.95 V  | 1.7 V to 2.0 V | ＜＜★S27KS0642 offers wide operating range.＞＞S27KS0642は広い動作範囲を提供します。 |
| 直流特性  | ＜＜★Table 9 shows the detailed comparison of DC parameters.＞＞表9に、DCパラメータの詳細な比較を示します。 |
| AC特性 | ＜＜★Table 11 shows the detailed comparison of AC characteristics.＞＞表11に、AC特性の詳細な比較を示します。  |
| スタンバイ電流 | 200 µA @ 85 ºC | 220 µA @ 85 ºC | ＜＜★S27KS0642 has a higher standby current.＞＞S27KS0642のスタンバイ電流は高くなっています。 |
| ＜＜★Deep Power Down Current＞＞ディープパワーダウン電流  | 10 µA | 10 µA | ＜＜★Identical＞＞同一  |
| ＜＜★Hybrid Sleep Current＞＞ハイブリッドスリープ電流 | – | 200 µA  | ＜＜★New feature/spec in this device.＞＞このデバイスの新機能/仕様。＜＜★Not supported in the previous generation device.＞＞前世代のデバイスではサポートされていません。 |
| ＜＜★Differential Clock (CK#)＞＞差動クロック（CK＃） | ＜＜★Differential clock is required＞＞差動クロックが必要です | ＜＜★Differential clock is optional＞＞差動クロックはオプションです | ＜＜★CK# of S27KL0642 can be left floating if not used.＞＞S27KL0642のCK＃は、使用しない場合はフローティングのままにしておくことができます。  |
| ＜＜★CS# high to Enter Hybrid Sleep (tHSIN)＞＞ハイブリッドスリープ（tHSIN）に入るCS＃高 | – | 3 µs | ＜＜★New feature/spec in this device.＞＞このデバイスの新機能/仕様。＜＜★Not supported in the previous generation device.＞＞前世代のデバイスではサポートされていません。 |
| ＜＜★Die Manufacture Information＞＞金型製造情報 | – | ＜＜★36 bytes Die Manufacture information available＞＞36バイトのダイ製造情報が利用可能  | ＜＜★This information can be read as a register with an address offset of 0x1800.＞＞この情報は、アドレスオフセットが0x1800のレジスタとして読み取ることができます。＜＜★New feature/spec in this device.＞＞このデバイスの新機能/仕様。＜＜★Not supported by the earlier generation device.＞＞以前の世代のデバイスではサポートされていません。 |
| ＜＜★Clock Frequency (Max)＞＞クロック周波数（最大） | 166 MHz | 200 MHz | ＜＜★Higher speed offered in S27KS0642.＞＞S27KS0642で提供されるより高速。＜＜★For timing comparison, see Table 11.＞＞タイミングの比較については、表11を参照してください。 |
| ＜＜★Default Latency＞＞デフォルトのレイテンシ | ＜＜★6 clock cycles＞＞6クロックサイクル | ＜＜★7 clock cycles＞＞7クロックサイクル | **＜＜★Critical difference**.＞＞重大な違い。＜＜★See Latency cycles.＞＞レイテンシサイクルを参照してください。 |
| ＜＜★Configuration Register 1＞＞構成レジスタ1  | ＜＜★Used to configure distributed refresh interval＞＞分散リフレッシュ間隔を構成するために使用されます | ＜＜★Added additional options＞＞追加オプションを追加  | ＜＜★See Table 7.＞＞表7を参照してください。 |
| ＜＜★VDD Minimum and RESET# HIGH to First Access (tVCS)＞＞VDD最小およびRESET＃HIGHからファーストアクセス（tVCS） | 150 µs / V | 150 µs / V | 同一 |
| ＜＜★Power Down Period for Part to Initialize Correctly (tPD)＞＞部品が正しく初期化するための電源切断期間（tPD） | 50 | 50 | 同一 |
| ＜＜★VDD Required to Ensure Initialization (VRST)＞＞初期化を確実にするために必要なVDD（VRST） | 0.8 | 0.7 | ＜＜★S27KS0642 offers a lower VRST.＞＞S27KS0642はより低いVRSTを提供します。  |
| ＜＜★VDD Lock-Out Below Which Require Initialization (VLKO)＞＞それ以下では初期化が必要なVDDロックアウト（VLKO） | 1.7 | 1.5 | ＜＜★S27KS0642 offers a lower VLKO.＞＞S27KS0642はより低いVLKOを提供します。 |
| ＜＜★VDD Power-Down Ramp Rate (tVF)＞＞VDDパワーダウンランプレート（tVF） | 50 µs / V | 50 µs / V | 同一 |
| ＜＜★Reset Pulse Width (tRP)＞＞パルス幅のリセット（tRP） | 200 ns | 200 ns | 同一 |
| ＜＜★Time Between RESET# HIGH and CS# LOW (tRH)＞＞RESET＃HIGHとCS＃LOWの間の時間（tRH） | 200 ns | 200 ns | 同一 |
| ＜＜★Time Between RESET# LOW to CS# LOW (tRPH)＞＞RESET＃LOWからCS＃LOWまでの時間（tRPH） | 400 ns | 400 ns | 同一 |
| ＜＜★Device ID0＞＞デバイスID0 | 0x0C81 | 0x0C81 | 同一 |
| ＜＜★Device ID1＞＞デバイスID1 | 0x0000 | 0x0001 | **＜＜★Critical difference**.＞＞重大な違い。＜＜★See Device ID.＞＞デバイスIDを参照してください。 |

# ＜＜★Critical Considerations＞＞重要な考慮事項

＜＜★［1］You must consider all parameter differences mentioned in Table 3 and Table 4 during the migration to S27KL0642/S27KS0642. This section discusses the critical differences between S27KL0641/S27KS0641 and S27KL0642/S27KS0642.＞＞S27KL0642 / S27KS0642への移行中に、表3および表4に記載されているすべてのパラメーターの違いを考慮する必要があります。このセクションでは、S27KL0641 / S27KS0641とS27KL0642 / S27KS0642の重要な違いについて説明します。＜＜★System designers should also review the datasheet when migrating to the new part.＞＞システム設計者は、新しい部品に移行するときにデータシートも確認する必要があります。

## ＜＜★Device ID (ID0 and ID1)＞＞デバイスID（ID0およびID1）

* 1. ＜＜★S27KL0641/S27KS0641 and S27KL0642/S27KS0642 incorporate a two, double-word (4-byte), read-only Device ID to identify the product uniquely.＞＞S27KL0641 / S27KS0641およびS27KL0642 / S27KS0642には、製品を一意に識別するための2つのダブルワード（4バイト）の読み取り専用デバイスIDが組み込まれています。＜＜★Device ID allows the host to determine the manufacturer, product density, and product type.＞＞デバイスIDを使用すると、ホストは製造元、製品密度、および製品タイプを判別できます。＜＜★Table 5 gives the Device IDs of S27KL0641/S27KS0641 and S27KL0642/S27KS0642, where the difference is highlighted in red.＞＞表5に、S27KL0641 / S27KS0641およびS27KL0642 / S27KS0642のデバイスIDを示します。ここで、違いは赤で強調表示されています。

＜＜★Table 5.＞＞表5。デバイスID

|  | S27KL0641/S27KS06421 | S27KL0642/S27KS0642 |
| --- | --- | --- |
| Device ID 0 | 0x0C81 | 0x0C81 |
| Device ID 1 | 0x0000 | 0x0001 |

## ＜＜★Latency cycles＞＞レイテンシーサイクル

＜＜★Configuration Register 0 (CR0) is used to set latency cycles.＞＞構成レジスタ0（CR0）は、レイテンシサイクルを設定するために使用されます。＜＜★S27KL0641/S27KS0641 has a latency setting of six clocks by default, while S27KL0642/S27KS0642 has a latency setting of seven clocks by default.＞＞S27KL0641 / S27KS0641のレイテンシー設定はデフォルトで6クロックですが、S27KL0642 / S27KS0642のレイテンシー設定はデフォルトで7クロックです。＜＜★Migrating to S27KL0642/S27KS0642 requires a firmware update to take care of the additional one clock cycle, if using the default latency settings.＞＞S27KL0642 / S27KS0642に移行するには、デフォルトの遅延設定を使用している場合、追加の1クロックサイクルを処理するためにファームウェアを更新する必要があります。

＜＜★Table 6. Comparing CR0＞＞表.CR0の比較

|  |  |  |  |
| --- | --- | --- | --- |
| **＜＜★CR1 Bit＞＞CR1ビット** | **S27KL0641/S27KS0641** | **S27KL0642/S27KS0642** | **備考** |
| [7:4] | ＜＜★0001b (default)＞＞0001b（デフォルト） | ＜＜★0010b (default)＞＞0010b（デフォルト） | ＜＜★Default value is different.＞＞デフォルト値が異なります。  |

## ＜＜★Configuration Register 1＞＞構成レジスタ1

＜＜★In S27KL0641/S27KS0641, Configuration Register 1 (CR1) is used to define the distributed refresh interval for this HyperRAM device.＞＞S27KL0641 / S27KS0641では、構成レジスタ1（CR1）を使用して、このHyperRAMデバイスの分散リフレッシュ間隔を定義します。＜＜★A few additional features were added in S27KL0642/S27KS0642. they are configurable through CR1 of S27KL0642/S27KS0642.＞＞S27KL0642 / S27KS0642にいくつかの追加機能が追加されました。これらは、S27KL0642 / S27KS0642のCR1を介して構成できます。＜＜★Table 7 compares CR1 of S27KL0641/S27KS0641 and S27KL0642/S27KS0642.＞＞表7は、S27KL0641 / S27KS0641とS27KL0642 / S27KS0642のCR1を比較しています。

＜＜★Table 7. Comparing CR1＞＞表.CR1の比較

| **＜＜★CR1 Bit＞＞CR1ビット** | **S27KL0641/S27KS0641** | **S27KL0642/S27KS0642** | **＜＜★Comments＞＞コメント** |
| --- | --- | --- | --- |
| [15:8] | ＜＜★0x00 (default)＞＞0x00（デフォルト） | ＜＜★0xFF (default)＞＞0xFF（デフォルト） | ＜＜★Not used, but the default value is different.＞＞使用されていませんが、デフォルト値が異なります。  |
| [7] | 0 (初期設定値) | ＜＜★1 (default)＞＞1（デフォルト） |
| [6] | 0 (初期設定値) | ＜＜★Master clock type:＞＞マスタークロックタイプ：＜＜★1 = single ended (default)＞＞1 =シングルエンド（デフォルト） ＜＜★0 = differential＞＞0 =差分 | ＜＜★Default value in S27KX0641 configures S27KX0642 in differential clock mode. However, even if the differential clock in S27KX0642 is enabled, toggling of CK# is optional.＞＞S27KX0641のデフォルト値は、差動クロックモードでS27KX0642を設定します。ただし、S27KX0642の差動クロックが有効になっている場合でも、CK＃の切り替えはオプションです。＜＜★Make sure CK# input remains static (either HIGH or LOW), but not floating to prevent it from picking unnecessary noise.＞＞CK＃入力が静的（HIGHまたはLOW）のままであることを確認しますが、不要なノイズを拾わないようにフローティングにしないでください。  |
| [5] | 0 (初期設定値) | ＜＜★Hybrid Sleep:＞＞ハイブリッドスリープ： ＜＜★0 = normal operation (default)＞＞0 =通常の操作（デフォルト）＜＜★1 = enter hybrid sleep＞＞1 =ハイブリッドスリープに入る  | ＜＜★In S27KX0642, use this bit to enter into Hybrid Sleep. Retain the default if the feature is not used.＞＞S27KX0642では、このビットを使用してハイブリッドスリープに入ります。この機能を使用しない場合は、デフォルトのままにしてください。 |
| [4:2] | ＜＜★000b (default)＞＞000b（デフォルト） | ＜＜★Partial Array Refresh:＞＞部分的なアレイの更新：＜＜★000b = Full Array (default)＞＞000b =フルアレイ（デフォルト） | ＜＜★In S27KX0642, you can use these bits to restrict the refresh operation to a portion of the memory.＞＞S27KX0642では、これらのビットを使用して、リフレッシュ操作をメモリの一部に制限できます。  |
| [1:0] | 分散リフレッシュ間隔＜＜★10b – 4 µs (default)＞＞10b – 4 s（デフォルト）＜＜★11b – 1.5 times default＞＞11b –デフォルトの1.5倍＜＜★00b – 2 times default＞＞00b –デフォルトの2倍＜＜★01b – 4 times default＞＞01b –デフォルトの4倍 | ＜＜★Distributed Refresh interval＞＞分散リフレッシュ間隔＜＜★10b – 1 µs (only applicable for industrial plus (105 ºC) devices)＞＞10b – 1 µs（産業用プラス（105ºC）デバイスにのみ適用可能）＜＜★11b – Reserved＞＞11b –予約済み＜＜★00b – Reserved＞＞00b –予約済み01b – 4 µs | ＜＜★For S27KX0642, CR[1:0] are read-only bits determined and configured by the device internally based on its refresh interval variation across the Process, Voltage, Temperature (PVT) corners.＞＞S27KX0642の場合、CR [1：0]は読み取り専用ビットであり、プロセス、電圧、温度（PVT）コーナー全体のリフレッシュ間隔の変動に基づいて、デバイスによって内部的に決定および構成されます。＜＜★You can probe these two bits prior to every HyperRAM access (write or read) to determine whether refresh interval should be 10b (1 µs) or 01b (4 µs) for the current cycle and set the tCSM for the host controller accordingly. Alternatively, if the host controller does not want to access CR1 prior to every memory access, it can set tCSM to4 µs (fixed), as per datasheet recommendations at 85 ºC.＞＞すべてのHyperRAMアクセス（書き込みまたは読み取り）の前にこれらの2ビットをプローブして、現在のサイクルでリフレッシュ間隔を10b（1 µs）または01b（4 µs）にするかどうかを決定し、それに応じてホストコントローラーのtCSMを設定できます。または、ホストコントローラーがすべてのメモリアクセスの前にCR1にアクセスしたくない場合は、85ºCでのデータシートの推奨に従って、tCSMを4 µs（固定）に設定できます。 |

## ＜＜★DC Characteristics (S27KL0641 and S27KL0642)＞＞DC特性（S27KL0641およびS27KL0642）

＜＜★Table 8 compares the DC parameters of S27KL0641 with S27KL0642.＞＞表8は、S27KL0641とS27KL0642のDCパラメーターを比較しています。＜＜★S27KL0642 has some higher DC characteristic values; you should take these differences in DC characteristics into consideration at the system level for a proper migration.＞＞S27KL0642には、より高いDC特性値がいくつかあります。適切に移行するには、システムレベルでこれらのDC特性の違いを考慮に入れる必要があります。

＜＜★Table 8. Comparing DC Characteristics＞＞表8.DC特性の比較

| **＜＜★Parameter＞＞パラメータ** | **変更内容** | **テスト条件** | **S27KL0641** | **S27KL0642**  | **単位** |
| --- | --- | --- | --- | --- | --- |
| **Typ** | **Max** | **Typ** | **Max** |
| ILI4 | ＜＜★Input Leakage Current3.3 V Device Reset Signal Low Only＞＞入力漏れ電流3.3Vデバイスリセット信号ローのみ | ＜＜★VIN = VSS to VCC,VCC = VCC max＞＞VIN = VSSからVCCCC最大 |  | +20 |  | +15 | µA |
| ICC1 | ＜＜★VCC Active Read Current＞＞VCCアクティブ読み取り電流 | CS# = VIL, VCC = 3.6 V | 20 | 35 | 15 | 30 | mA |
| ICC2 | ＜＜★VCC Active Write Current＞＞VCCアクティブ書き込み電流 | CS# = VIL, VCC = 3.6 V | 15 | 35 | 15 | 30 | mA |
| ICC4I | ＜＜★VCC Standby Current＞＞VCCスタンバイ電流 | CS# = VIL, VCC = 3.6 V | 135 | 200 | 90 | 250 | µA |
| ICC5 | リセット電流 | CS# = VIH, RESET# = VIL, VCC = VCC max |  | 20 |  | 1 | mA |
| ICC6I | ＜＜★Active Clock Stop Current＞＞アクティブクロック停止電流 | CS# = VIH, RESET# = VIL, VCC = VCC max | 5.3 | 8 | 5 | 8 | mA |
| ICC7 | ＜＜★Vcc Current During Power Up＞＞電源投入時のVcc電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 3.6V | - | 35 |  | 35 | mA |
| IDPD | ＜＜★Deep Power Down Current＞＞ディープパワーダウン電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 3.6 V |  | 20 |  | 12 | µA |
| IHS | ＜＜★Hybrid Sleep Current＞＞ハイブリッドスリープ電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 2.0 V |  | - | 35 | 230 | µA |

## ＜＜★DC Characteristics (S27KS0641 and S27KS0642)＞＞DC特性（S27KS0641およびS27KS0642）

＜＜★Table 9 compares the DC parameters of S27KS0641 with S27KS0642.＞＞表9は、S27KS0641とS27KS0642のDCパラメーターを比較しています。＜＜★S27KS0642 has some higher DC characteristic values; you should take these differences in the DC characteristics into consideration at system level for a proper migration.＞＞S27KS0642には、より高いDC特性値がいくつかあります。適切に移行するには、システムレベルでDC特性のこれらの違いを考慮に入れる必要があります。

＜＜★Table 9. Comparing DC Characteristics＞＞表9.DC特性の比較

| **＜＜★Parameter＞＞パラメータ** | **変更内容** | **テスト条件** | **S27KS0641** | **S27KS0642**  | **単位** |
| --- | --- | --- | --- | --- | --- |
| **標準値** | **最大値** | **標準値** | **最大値** |
| ILI4 | ＜＜★Input Leakage Current1.8 V Device Reset Signal LOW Only＞＞入力漏れ電流1.8Vデバイスリセット信号LOWのみ | ＜＜★VIN = VSS to VCC,VCC = VCC max＞＞VIN = VSSからVCCCC最大 |  | +20 |  | +15 | µA |
| ICC1 | ＜＜★VCC Active Read Current＞＞VCCアクティブ読み取り電流 | CS# = VIL, @200 MHz, VCC = 2.0 V | 20 | 60 | 15 | 25 | mA |
| ICC2 | ＜＜★VCC Active Write Current＞＞VCCアクティブ書き込み電流 | CS# = VIL, @200 MHz, VCC = 2.0 V | 15 | 60 | 15 | 25 | mA |
| ICC4I | ＜＜★VCC Standby Current＞＞VCCスタンバイ電流 | CS# = VIL, @200 MHz, VCC = 2.0 V | 135 | 200 | 80 | 220 | µA |
| ICC5 | リセット電流 | CS# = VIH, RESET# = VIL, VCC = VCC max |  | 20 |  | 1 | mA |
| ICC6I | ＜＜★Active Clock Stop Current＞＞アクティブクロック停止電流 | CS# = VIH, RESET# = VIL, VCC = VCC max | 5.3 | 8 | 5 | 8 | mA |
| ICC7 | ＜＜★Vcc Current During Power Up＞＞電源投入時のVcc電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 2.0V | - | 35 |  | 35 | mA |
| IDPD | ＜＜★Deep Power Down Current＞＞ディープパワーダウン電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 2.0 V |  | 10 |  | 10 | µA |
| IHS | ＜＜★Hybrid Sleep Current＞＞ハイブリッドスリープ電流 | CS# = VIH, VCC = VCC max, VCC = VCCQ = 2.0 V |  | - | 25 | 200 | µA |

## ＜＜★AC Characteristics (S27KL0641 and S27KL0642)＞＞AC特性（S27KL0641およびS27KL0642）

＜＜★Table 10 compares the AC parameters of S27KL0641 with S27KL0642. Migrating to S27KL0642 requires no timing adjustment at system level due to its improved AC characteristics values.＞＞表10は、S27KL0641とS27KL0642のACパラメーターを比較しています。S27KL0642への移行では、AC特性値が改善されているため、システムレベルでのタイミング調整は必要ありません。

＜＜★Table 10. Comparing Timing Parameters＞＞表.タイミングパラメーターの比較

| **項目** | **記号** | **S27KL0641 (100 MHz)** | **S27KL0642 (166 MHz)** | **S27KL0642****(200 MHz)** | **単位** |
| --- | --- | --- | --- | --- | --- |
| **分** | **最大値** | **分** | **最大値** | **分** | **最大値** |
| ＜＜★Chip Select HIGH Between Transactions＞＞トランザクション間でチップセレクトHIGH | tCSHI | 10 |  | 6 | - | 6 | - | ns |
| ＜＜★HyperRAM Read-Write Recovery Time＞＞HyperRAMの読み取り/書き込み回復時間 | tRWR | 40 |  | 36 | - | 35 | - | ns |
| ＜＜★Chip Select Setup to Next CK Rising Edge＞＞次のCKライジングエッジへのチップセレクトセットアップ | tCSS | 3 |  | 3 | - | 3 | - | ns |
| ＜＜★Data Strobe Valid＞＞有効なデータストローブ | tDSV |  | 12 | - | 12 | - | 6.5 | ns |
| ＜＜★Input Setup＞＞入力設定 | tIS | 1 |  | 0.6 | - | 0.5 | - | ns |
| ＜＜★Input Hold＞＞入力ホールド | tIH | 1 |  | 0.6 | - | 0.5 | - | ns |
| ＜＜★HyperRAM Read Initial Access Time＞＞HyperRAM読み取り初期アクセス時間 | tACC | 40 |  | 36 | - | 35 | - | ns |
| ＜＜★Clock to DQs Low Z＞＞DQ低Zへのクロック | tDQLZ | 0 |  | 0 | - | 0 | - | ns |
| ＜＜★CK Transition to DQ Valid (64 Mb)＞＞CKからDQへの移行が有効（64 Mb） | tCKD |  | 7 | - | 7 | - | 6.5 | ns |
| ＜＜★CK Transition to DQ Invalid (64 Mb)＞＞CKからDQへの移行が無効（64 Mb） | tCKDI |  | 5.2 | - | 5.6 | - | 5.7 | ns |
| ＜＜★Data Valid (tDV min = the lessor of: tCKHP min - tCKD max + tCKDI max) or tCKHP min - tCKD min + tCKDI min)＞＞有効なデータ（tDV min =貸し手：tCKHP min-tCKD max + tCKDI max）またはtCKHP min-tCKD min + tCKDI min） | tDV | 2.7 |  | 1.3 | - | 1.45 | - | ns |
| ＜＜★CK Transition to RWDS Valid (64 Mb)＞＞CKからRWDSへの移行が有効（64 Mb） | tCKDS | 1 | 7 | 1 | 7 | 1 | 6.5 | ns |
| ＜＜★RWDS Transition to DQ Valid＞＞RWDSからDQへの移行が有効 | tDSS |  | 0.8 | - | 0.8 | - | 0.4 | ns |
| ＜＜★RWDS Transition to DQ Invalid＞＞RWDSからDQへの移行が無効 | tDSH |  | 0.8 | - | 0.8 | - | 0.8 | ns |
| ＜＜★Chip Select Hold After CK Falling Edge＞＞CK立ち下がりエッジ後のチップセレクトホールド | tCSH | 0 |  | 0 | - | 0 | - | ns |
| ＜＜★Chip Select Inactive to RWDS High-Z＞＞RWDSHigh-Zに対して非アクティブなチップセレクト | tDSZ |  | 7 | - | 7 | - | 6.5 | ns |
| ＜＜★Chip Select Inactive to DQ High-Z＞＞DQHigh-Zに対して非アクティブなチップセレクト | tOZ |  | 7 | - | 7 | - | 6.5 | ns |
| ＜＜★HyperRAM Chip Select Maximum Low Time (85 °C)＞＞HyperRAMチップセレクト最大低時間（85°C） | tCSM |  | 4 | - | 4 | - | 4 | µs |
| リフレッシュ時間 | tRFH | 40 |  | 36 | - | 35 | - | ns |
| ＜＜★HyperBus CK Transition to RWDS LOW @CA phase @Read (64 Mb)＞＞HyperBusCKからRWDSLOWへの移行@CAフェーズ@Read（64 Mb） | tCKDSR |  |  | 1 | 7 | 1 | 7 | ns |

## ＜＜★AC Characteristics (S27KS0641 and S27KS0642)＞＞AC特性（S27KS0641およびS27KS0642）

＜＜★Table 11 compares the AC parameters of S27KS0641 with S27KS0642. Migrating to S27KS0642 requires no timing adjustment at system level due to its improved AC characteristics values except tCSS timing parameter.＞＞表11は、S27KS0641とS27KS0642のACパラメーターを比較しています。S27KS0642への移行では、tCSSタイミングパラメータを除いてAC特性値が改善されているため、システムレベルでのタイミング調整は必要ありません。＜＜★You must modify the system-level timing to meet the tCCS timing requirement.＞＞tCCSタイミング要件を満たすには、システムレベルのタイミングを変更する必要があります。

＜＜★Table 11. Comparing Timing Parameters＞＞表.タイミングパラメーターの比較

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **項目** | **記号** | **S27KS0641 (166 MHz)** | **S27KS0642 (200 MHz)** | **単位** |
| **分** | **最大値** | **分** | **最大値** |
| ＜＜★Chip Select HIGH Between Transactions＞＞トランザクション間でチップセレクトHIGH | tCSHI | 6 |  | 6 | - | ns |
| ＜＜★HyperRAM Read-Write Recovery Time＞＞HyperRAMの読み取り/書き込み回復時間 | tRWR | 36 |  | 35 | - | ns |
| ＜＜★Chip Select Setup to Next CK Rising Edge＞＞次のCKライジングエッジへのチップセレクトセットアップ | tCSS | 3 |  | 4 | - | ns |
| ＜＜★Data Strobe Valid＞＞有効なデータストローブ | tDSV |  | 12 | - | 5 | ns |
| ＜＜★Input Setup＞＞入力設定 | tIS | 0.6 |  | 0.5 | - | ns |
| ＜＜★Input Hold＞＞入力ホールド | tIH | 0.6 |  | 0.5 | - | ns |
| ＜＜★HyperRAM Read Initial Access Time＞＞HyperRAM読み取り初期アクセス時間 | tACC | 36 |  | 35 | - | ns |
| ＜＜★Clock to DQs Low Z＞＞DQ低Zへのクロック | tDQLZ | 0 |  | 0 | - | ns |
| ＜＜★CK Transition to DQ Valid (64 Mb)＞＞CKからDQへの移行が有効（64 Mb） | tCKD |  | 5.5 | - | 5 | ns |
| ＜＜★CK Transition to DQ Invalid (64 Mb)＞＞CKからDQへの移行が無効（64 Mb） | tCKDI |  | 4.6 | - | 4.2 | ns |
| ＜＜★Data Valid (tDV min = the lessor of: tCKHP min - tCKD max + tCKDI max) or tCKHP min - tCKD min + tCKDI min)＞＞有効なデータ（tDV min =貸し手：tCKHP min-tCKD max + tCKDI max）またはtCKHP min-tCKD min + tCKDI min） | tDV | 1.7 |  | 1.45 | - | ns |
| ＜＜★CK Transition to RWDS Valid (64 Mb)＞＞CKからRWDSへの移行が有効（64 Mb） | tCKDS | 1 | 5.5 | 1 | 5 | ns |
| ＜＜★RWDS Transition to DQ Valid＞＞RWDSからDQへの移行が有効 | tDSS |  | 0.45 | - | 0.4 | ns |
| ＜＜★RWDS Transition to DQ Invalid＞＞RWDSからDQへの移行が無効 | tDSH |  | 0.45 | - | 0.4 | ns |
| ＜＜★Chip Select Hold After CK Falling Edge＞＞CK立ち下がりエッジ後のチップセレクトホールド | tCSH | 0 |  | 0 | - | ns |
| ＜＜★Chip Select Inactive to RWDS High-Z＞＞RWDSHigh-Zに対して非アクティブなチップセレクト | tDSZ |  | 6 | - | 5 | ns |
| ＜＜★Chip Select Inactive to DQ High-Z＞＞DQHigh-Zに対して非アクティブなチップセレクト | tOZ |  | 6 | - | 5 | ns |
| ＜＜★HyperRAM Chip Select Maximum Low Time (85 °C)＞＞HyperRAMチップセレクト最大低時間（85°C） | tCSM |  | 4 | - | 4 | µs |
| リフレッシュ時間 | tRFH | 36 |  | 35 | - | ns |
| ＜＜★HyperBus CK Transition to RWDS Low @CA phase @Read (64 Mb)＞＞HyperBus CKからRWDSへの移行低@CAフェーズ@読み取り（64 Mb） | tCKDSR |  |  | 1 | 5.5 | ns |

# 関連文書:

**データシート**

* [＜＜★S27KL0641/S27KS0641, 3.0 V/1.8 V, 64 Mb (8 MB)/128 Mb (16 MB), HyperRAM™ Self-Refresh DRAM＞＞S27KL0641 / S27KS0641、3.0 V / 1.8 V、64 Mb（8 MB）/ 128 Mb（16 MB）、HyperRAM™セルフリフレッシュDRAM](https://www.cypress.com/documentation/datasheets/s27kl0641s27ks0641s70kl1281s70ks1281-30-v18-v-64-mb-8-mb128-mb-16-mb)
* ＜＜★S27KL0642/S27KS0642, 3.0 V/1.8 V, 64 Mb (8 MB), HyperRAM Self-Refresh DRAM＞＞S27KL0642 / S27KS0642、3.0 V / 1.8 V、64 Mb（8 MB）、HyperRAMセルフリフレッシュDRAM
* [＜＜★HyperBus™ Specification Low Signal Count, High Performance DDR Bus＞＞HyperBus™仕様低信号数、高性能DDRバス](https://www.cypress.com/file/213356/download)

改訂履歴

＜＜★Document Title: AN226137 – Migrating from S27KL0641/S27KS0641 to S27KL0642/S27KS0642

＜＜★Document Number: 002-26137

|  |  |  |  |
| --- | --- | --- | --- |
| 版 | Engineering Change Notification (技術変更届) | 発行日 | 変更内容 |
|  |  |  |  |
|  |  |  |  |

#