|  |  |  |
| --- | --- | --- |
| AN60580 | | |
| ＜＜★SIO Tips and Tricks in PSoC® 3 / PSoC 5LP＞＞PSoC®3 / PSoC 5LPのSIOのヒントとコツ   |  | | --- | | ＜＜★Author: Pavankumar Vibhute＞＞作成者: Pavankumar Vibhute | | ＜＜★Associated Project: Yes＞＞関連プロジェクト: はい | | ＜＜★Associated Part Family: All PSoC 3 and PSoC 5LP parts＞＞関連部品ファミリ: すべてのPSoC 3およびPSoC 5LP部品 | | ＜＜★Software Version: PSoC® Creator™ 3.1 SP2 or higher＞＞ソフトウェアバージョン: PSoC® Creator™ 3.1 SP2以降 | | ＜＜★Related Application Notes: [AN54181](http://www.cypress.com/?rID=39157), [AN72382](http://www.cypress.com/?rID=57571), [AN77759＞＞](http://www.cypress.com/?rID=60890)関連アプリケーションノート: [AN54181](http://www.cypress.com/?rID=39157), [AN72382](http://www.cypress.com/?rID=57571), [AN77759](http://www.cypress.com/?rID=60890) | | | |
| ＜＜★The special input/output (SIO) pins provide differential input buffer and a means to regulate the high-level output voltage (VOH).＞＞特殊な入力/出力 (SIO) ピンは、差動入力バッファと、高レベル出力電圧 (VOH) を調整する手段を提供します。＜＜★The SIO pins are tolerant to input voltages higher than the I/O supply voltage and can sink up to 25 mA current.＞＞SIOピンは、I/O電源電圧より高い入力電圧に耐性があり、最大25 mAの電流をシンクできます。＜＜★This application note explains the following applications of SIO pins: comparator, charge pump, Salen-key filter, level shifter, half wave rectifier, peak detector, and sleep wakeup using SIO comparator.＞＞このアプリケーションノートでは、SIOピンの次のアプリケーションについて説明します。コンパレータ、チャージポンプ、-keyフィルタ、レベルシフタ、半波整流器、ピーク検出器、SIOコンパレータを使用したスリープウェイクアップ。 |

目次

[1 はじめに 1](#_Toc526175836)

[2 ＜＜★SIO Configuration in PSoC Creator™＞＞PSoC Creator™のSIO構成 2](#_Toc526175837)

[2.1 ＜＜★SIO Input Configuration＞＞SIO入力構成 2](#_Toc526175838)

[2.2 ＜＜★SIO Output Configuration＞＞SIO出力構成 3](#_Toc526175839)

[3 ＜＜★Tip 1: Comparator＞＞ヒント1: コンパレータ 4](#_Toc526175840)

[3.1 ＜＜★Top Design＞＞トップデザイン 4](#_Toc526175841)

[3.2 デジタル入力ピンの設定 5](#_Toc526175842)

[3.3 ＜＜★VDAC Configuration＞＞VDAC構成 5](#_Toc526175843)

[4 ＜＜★Tip 2: Comparator Wakeup＞＞ヒント2: コンパレータウェイクアップ 6](#_Toc526175844)

[4.1 ＜＜★Top Design＞＞トップデザイン 6](#_Toc526175845)

[4.2 設定 7](#_Toc526175846)

[5 ＜＜★Tip 3: Charge Pump＞＞ヒント3: チャージポンプ 8](#_Toc526175847)

[5.1 ＜＜★Top Design＞＞トップデザイン 8](#_Toc526175848)

[5.2 設定 8](#_Toc526175849)

[5.3 ＜＜★Equivalent Schematic＞＞等価回路図 9](#_Toc526175850)

[6 ＜＜★Tip 4: Level Shifter＞＞ヒント4: レベルシフター 10](#_Toc526175851)

[7 ＜＜★Tip 5: Half Wave Rectifier＞＞ヒント5: 半波整流器 11](#_Toc526175852)

[7.1 ＜＜★Top Design＞＞トップデザイン 11](#_Toc526175853)

[7.2 ＜＜★Pairing SIO pins＞＞SIOピンのペアリング 11](#_Toc526175854)

[7.3 ＜＜★Equivalent Schematic＞＞等価回路図 12](#_Toc526175855)

[8 ＜＜★Tip 6: Peak Detector＞＞ヒント6: ピーク検出器 13](#_Toc526175856)

[8.1 ＜＜★Top Design＞＞トップデザイン 13](#_Toc526175857)

[8.2 ＜＜★Equivalent Schematic＞＞等価回路図 14](#_Toc526175858)

[9 ＜＜★Tip 7: SIO as SPST/SPDT Switch＞＞ヒント7: SPST/SPDTスイッチとしてのSIO 15](#_Toc526175859)

[9.1 ＜＜★Top Design＞＞トップデザイン 15](#_Toc526175860)

[10 ＜＜★Tip 8: Handling SIOs in sleep mode＞＞ヒント8: スリープモードでのSIOの処理 16](#_Toc526175861)

[11 まとめ 16](#_Toc526175862)

[Worldwide Sales and Design Support 18](#_Toc526175864)

# はじめに

＜＜★The SIO input can be set as a single ended or a differential input.＞＞SIO入力は、シングルエンドまたは差動入力として設定できます。＜＜★When configured as a single ended input, the SIO acts similar to a normal GPIO with standard CMOS and LVTTL input levels.＞＞シングルエンド入力として構成されている場合、SIOは標準のCMOSおよびLVTTL入力レベルの通常のGPIOと同様に動作します。＜＜★However, when configured as a differential input it acts as a comparator.＞＞ただし、差動入力として構成されている場合、コンパレータとして機能します。＜＜★The reference generator block provides the threshold for the comparator.＞＞リファレンスジェネレーターブロックは、コンパレーターのしきい値を提供します。

＜＜★The SIO output level can be set as a standard CMOS output or a regulated output.＞＞SIO出力レベルは、標準のCMOS出力または安定化出力として設定できます。＜＜★In regulated output mode, the VREF signal selected from Analog Global sets the VOH level.＞＞安定化出力モードでは、アナロググローバルから選択されたVREF信号がVOHレベルを設定します。＜＜★The SIO architecture is shown in Figure 1.＞＞SIOアーキテクチャーをFigure 1に示します。

＜＜★PSoC® 3 and PSoC 5LP devices have eight SIO pins that are organized as four pin pairs.＞＞PSoC®3およびPSoC 5LPデバイスには、4つのピンペアとして構成される8つのSIOピンがあります。＜＜★A pair of SIO pins shares a common reference generator block.＞＞SIOピンのペアは、共通のリファレンスジェネレーターブロックを共有します。＜＜★See the [Technical Reference Manual (TRM)](http://www.cypress.com/?rID=35180) for SIO architecture details and [PSoC 3](http://www.cypress.com/?rID=35178) or [PSoC 5LP](http://www.cypress.com/?rID=72824) device datasheet for SIO AC/DC specifications.＞＞SIOアーキテクチャの詳細については[Technical Reference Manual (TRM)](http://www.cypress.com/?rID=35180) を、SIO AC/DC仕様については[PSoC 3](http://www.cypress.com/?rID=35178)または[PSoC 5LP](http://www.cypress.com/?rID=72824)デバイスのデータシートを参照してください。

Figure 1. ＜＜★SIO Architecture＞＞SIOアーキテクチャ

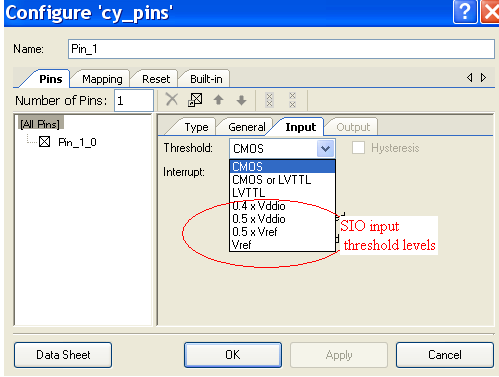


# ＜＜★SIO Configuration in PSoC Creator™＞＞PSoC Creator™のSIO構成

## ＜＜★SIO Input Configuration＞＞SIO入力構成

＜＜★［1］The Digital Input Pin component configuration screen is shown in Figure 2.＞＞デジタル入力ピンコンポーネントの構成画面をFigure 2に示します。＜＜★Selecting one of the four threshold options circled in red configures the pin as SIO in differential input mode.＞＞赤で囲まれた4つのしきい値オプションの1つを選択すると、ピンが差動入力モードのSIOとして構成されます。

Figure 2. ＜＜★Digital Input Pin Configuration＞＞デジタル入力ピンの構成



＜＜★［1］Selecting 0.5 x VREF and VREF threshold options add Reference Terminal to the Digital Input Pin component.＞＞0.5 x VREFREFしきい値オプションを選択すると、デジタル入力ピンコンポーネントに基準端子が追加されます。＜＜★［1］This allows to route external reference from other components such as DAC or Pin.＞＞これにより、DACやピンなどの他のコンポーネントから外部リファレンスをルーティングできます。

Figure 3. ＜＜★Routing External Reference for Differential Input＞＞差動入力の外部リファレンスのルーティング



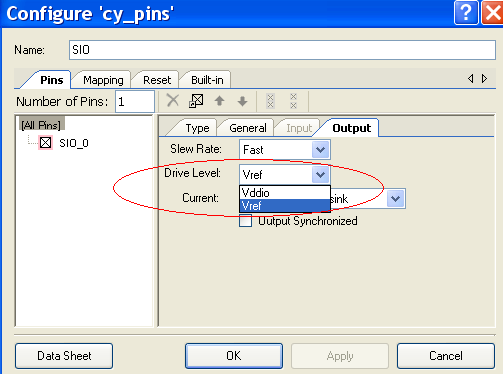


＜＜★［1］This component uses SIO pin if Hot Swap is enabled and threshold is set to anything other than LVTTL or CMOS.＞＞ホットスワップが有効で、しきい値がLVTTLまたはCMOS以外に設定されている場合、このコンポーネントはSIOピンを使用します。＜＜★［1］**Note**The outline in pink indicates that the Digital Input Pin component uses SIO pin.＞＞**注:** ピンクのアウトラインは、デジタル入力ピンコンポーネントがSIOピンを使用することを示します。

## ＜＜★SIO Output Configuration＞＞SIO出力構成

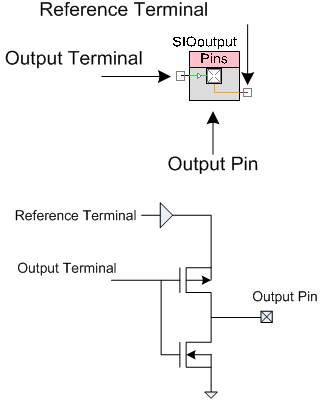
＜＜★［1］The Digital Output Pin component configuration screen is shown in Figure 4.＞＞デジタル出力ピンコンポーネントの構成画面をFigure 4に示します。

Figure 4. ＜＜★Digital Output Pin Configuration＞＞デジタル出力ピン構成



＜＜★Select VREF Drive Level option to configure the pin as SIO in regulated output mode.＞＞VREF Drive Levelオプションを選択して、ピンを安定化出力モードのSIOとして構成します。＜＜★［1］It adds reference terminal to the Digital Output Pin component.＞＞基準端子をデジタル出力ピンコンポーネントに追加します。＜＜★［1］This allows to route external reference from other components such as DAC or Pin.＞＞これにより、DACやピンなどの他のコンポーネントから外部リファレンスをルーティングできます。

Figure 5. ＜＜★Routing External Reference for Regulated Output＞＞調整された出力の外部リファレンスのルーティング



＜＜★GPIO pins can source 4 mA and sink 8 mA; SIO pins can source 4 mA and sink 25 mA.＞＞GPIOピンは4 mAをソース、8 mAをシンクできます。SIOピンは4 mAをソース、25 mAをシンクできます。

＜＜★［1］This component uses SIO pin if Drive Level is set to VREF, and Drive Current is set to a 25 mA sink.＞＞Drive LevelがVREFに設定され、Drive Currentが25 mAシンクに設定されている場合、このコンポーネントはSIOピンを使用します。

**＜＜★［1］Note**The outline in pink indicates that the Digital Output Pin component uses SIO pin.＞＞**注:** ピンクのアウトラインは、デジタル出力ピンコンポーネントがSIOピンを使用することを示します。

# ＜＜★Tip 1: Comparator＞＞ヒント1: コンパレータ

＜＜★When the SIO pin is configured as a differential input, it acts as a comparator.＞＞SIOピンが差動入力として構成されている場合、コンパレータとして機能します。＜＜★The reference generator block provides the threshold for the comparator.＞＞リファレンスジェネレーターブロックは、コンパレーターのしきい値を提供します。＜＜★This comparator compares the input signal against the threshold voltage.＞＞このコンパレータは、入力信号をしきい値電圧と比較します。

＜＜★SIOs are not ideal comparators hence SIOs are good to be used as comparators when application does not have strict requirements.＞＞SIOは理想的なコンパレータではないため、アプリケーションに厳密な要件がない場合、SIOはコンパレータとして使用するのに適しています。＜＜★The dedicated comparators in PSoC 3 and PSoC 5LP devices have faster response and smaller offset voltage (see [PSoC 3](http://www.cypress.com/?rID=35178) or [PSoC 5LP](http://www.cypress.com/?rID=72824) device datasheet).＞＞PSoC 3およびPSoC 5LPデバイスの専用コンパレータは、応答が速く、オフセット電圧が小さくなっています ([PSoC 3](http://www.cypress.com/?rID=35178)または[PSoC 5LP](http://www.cypress.com/?rID=72824)デバイスのデータシートを参照) 。＜＜★Use dedicated comparators when application requires fast response and small offset.＞＞アプリケーションで高速応答と小さなオフセットが必要な場合は、専用のコンパレータを使用します。＜＜★Also, it is recommended to use 0.1 µF on SIO input pin as shown in Figure 6.＞＞また、Figure 6に示すように、SIO入力ピンに0.1 µFを使用することをお勧めします。＜＜★This capacitor filters out any system noise coupling to the signals on the SIO.＞＞このコンデンサは、SIOの信号にカップリングするシステムノイズを除去します。

Figure 6. ＜＜★External Capacitor on SIO Pin to Remove System Noise＞＞システムノイズを除去するSIOピンの外付けコンデンサ

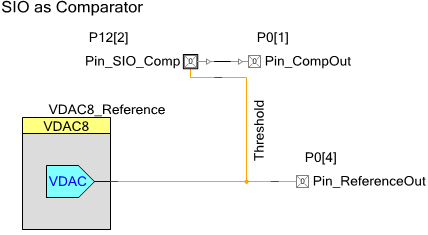


## ＜＜★Top Design＞＞トップデザイン

＜＜★［1］The Digital Input Pin component is placed on the top design and the input threshold is set to VREF to enable external reference routing.＞＞デジタル入力ピンコンポーネントがトップデザインに配置され、入力しきい値がVREFに設定されて、外部リファレンスルーティングが可能になります。＜＜★［1］This component is named as Pin\_SIO\_Comp.＞＞このコンポーネントの名前はPin\_SIO\_Compです。＜＜★The VDAC output is connected to the reference terminal of SIO.＞＞VDAC出力はSIOのリファレンス端子に接続されています。＜＜★［1］The Digital Output Pin component is connected to the SIO input terminal and renamed as Pin\_CompOut.＞＞デジタル出力ピンコンポーネントはSIO入力端子に接続され、Pin\_CompOutという名前に変更されます。＜＜★The analog pin Pin\_ReferenceOut is also connected to VDAC to see the reference.＞＞アナログピンPin\_ReferenceOutもVDACに接続され、リファレンスを確認します。

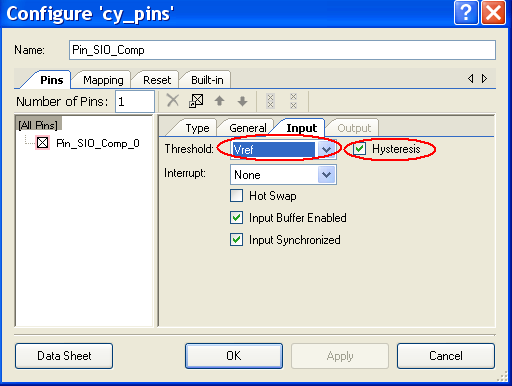
＜＜★In design wide resources (\*.cydwr) file, the pins Pin\_SIO\_Comp, Pin\_CompOut, and Pin\_ReferenceOut are mapped to P12[2], P0[1], and P0[4] pins.＞＞デザイン全体のリソース *\*.cydwr*) ファイルでは、ピンPin\_SIO\_Comp、Pin\_CompOut、およびPin\_ReferenceOutがP12[2]、P0[1]、およびP0[4]ピンにマップされます。

Figure 7. ＜＜★Top Design for Comparator＞＞コンパレータのトップデザイン

****

## デジタル入力ピンの設定

Figure 8. ＜＜★Digital Input Pin Configuration＞＞デジタル入力ピンの構成

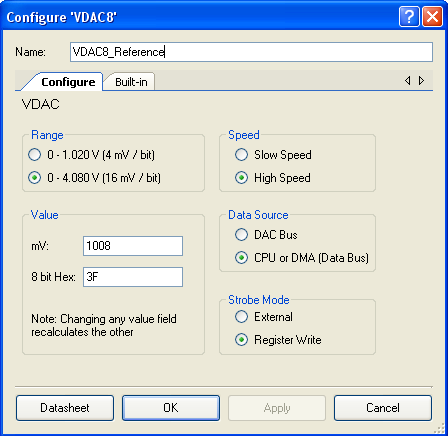


＜＜★In the input tab, the threshold is set to VREF and hysteresis is enabled.＞＞入力タブでは、しきい値がVREFに設定され、ヒステリシスが有効になります。＜＜★Hysteresis of ±50 mV is provided on the SIO input buffer to remove the noise effects.＞＞50 mVのヒステリシスがSIO入力バッファに提供され、ノイズの影響を除去します。＜＜★The SIO\_HYST\_EN register enables the hysteresis individually for each SIO pin.＞＞SIO\_HYST\_ENレジスタは、SIOピンごとに個別にヒステリシスを有効にします。＜＜★See the TRM for more details.＞＞詳細については、[TRM](http://www.cypress.com/?rID=35180)を参照してください。

## ＜＜★VDAC Configuration＞＞VDAC構成

＜＜★The VDAC voltage is set to 1 V.＞＞VDAC電圧は1 Vに設定されています。

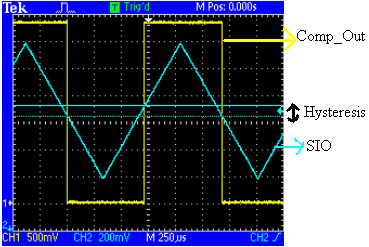
Figure 9. ＜＜★VDAC Configuration＞＞VDAC構成



＜＜★The project details are as follows:＞＞プロジェクトの詳細は次のとおりです。

1. ＜＜★Open the project SIO\_Comparator, build, and program the PSoC 3 and PSoC 5LP on CY8CKIT-001 Development Kit.＞＞プロジェクトSIO\_Comparatorを開き、CY8CKIT-001開発キットでPSoC 3およびPSoC 5LPをビルドしてプログラムします。
2. ＜＜★The ramp wave with amplitude 1 Vp-p and offset 1 V is given to P12[2].＞＞振幅1 -p、オフセット1 Vのランプ波がP12[2]に与えられます。
3. ＜＜★The comparator output is seen on pin P0[1].＞＞コンパレータ出力はピンP0[1]で確認できます。＜＜★Waveforms are shown in the following figure.＞＞次の図に波形を示します。

Figure 10. ＜＜★Comparator Waveforms＞＞コンパレータ波形

****

# ＜＜★Tip 2: Comparator Wakeup＞＞ヒント2: コンパレータウェイクアップ

＜＜★The SIO comparator remains active in sleep and hibernate modes.＞＞SIOコンパレータは、スリープモードと休止モードではアクティブのままです。＜＜★It can be used to wake up the device from these modes to active mode.＞＞これらのモードからアクティブモードにデバイスをウェイクアップするために使用できます。＜＜★The reference signal from the comparator should be routed from external pins as the internal circuits are disabled in these modes.＞＞これらのモードでは内部回路が無効になっているため、コンパレータからの基準信号は外部ピンからルーティングする必要があります。

**＜＜★Note** The current with SIO comparator is around 100 µA.＞＞**注:** SIOコンパレータを使用した電流は約100 µAです。

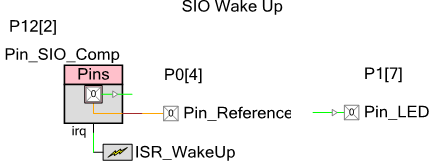
## ＜＜★Top Design＞＞トップデザイン

＜＜★The SIO is configured as comparator as shown in the previous example.＞＞前の例に示すように、SIOはコンパレータとして構成されます。＜＜★The reference to SIO is given externally and this terminal is connected to analog pin named Reference.＞＞SIOへの参照は外部から与えられ、この端子はReferenceという名前のアナログピンに接続されます。＜＜★The interrupt on the rising edge is set in the SIO pin configuration.＞＞立ち上がりエッジでの割り込みは、SIOピン構成で設定されます。＜＜★［1］An Interrupt component is named ISR\_WakeUp and connected to the ‘irq’ terminal of SIO.＞＞割り込みコンポーネントはISR\_WakeUpという名前で、SIOの「irq」端子に接続されています。

＜＜★In design wide resources (\*.cydwr) file, the pins Pin\_SIO\_Comp, Pin\_Reference, and Pin\_LED are mapped to P12[2], P0[4], and P1[7] pins.＞＞デザイン全体のリソース (*\*.cydwr*) ファイルでは、ピンPin\_SIO\_Comp、Pin\_Reference、およびPin\_LEDがP12[2]、P0[4]、およびP1[7]ピンにマップされます。

＜＜★Also for device to go in sleep mode, the debug ports must be disabled.＞＞また、デバイスをスリープモードにするには、デバッグポートを無効にする必要があります。＜＜★In the design wide resources (\*.cydwr) click on the system tab and disable the debug ports select (DPS).＞＞デザイン全体のリソース (*\*.cydwr*) でシステムタブをクリックし、デバッグポートを無効にします (DPS) 。

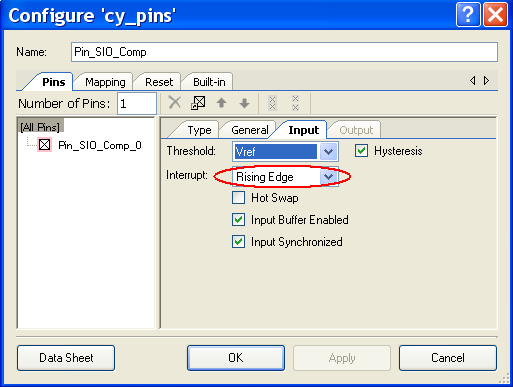
Figure 11. ＜＜★Comparator WakeUp＞＞コンパレータウェイクアップ



## 設定

＜＜★The interrupt on SIO pin is set as rising edge interrupt.＞＞SIOピンの割り込みは、立ち上がりエッジ割り込みとして設定されます。

Figure 12. ＜＜★SIO Interrupt Configuration＞＞SIO割り込み構成



＜＜★In the background loop, the device is put to sleep using CyPmSleep() API.＞＞バックグラウンドループでは、デバイスは() APIを使用してスリープ状態になります。＜＜★When the SIO voltage crosses the reference, it generates rising edge at comparator output and wakes up the device from sleep.＞＞SIO電圧がリファレンスと交差すると、コンパレータ出力で立ち上がりエッジが生成され、デバイスがスリープからウェイクアップします。＜＜★After wakeup, the device enters the ISR routine inside ISR and the interrupt flag is cleared.＞＞ウェイクアップ後、デバイスはISR内のISRルーチンに入り、割り込みフラグがクリアされます。＜＜★In the background loop, it toggles the pin Pin\_LED before going to sleep again.＞＞バックグラウンドループでは、再びスリープする前にPin\_LEDピンを切り替えます。＜＜★The same code can be written for the hibernate mode too using CyHibernate().＞＞CyHibernate()を使用して、休止状態モードでも同じコードを記述できます。

for(;;)

{

/\* Save all the clocks before going to sleep mode\*/

CyPmSaveClocks();

/\* Puts the device in sleep \*/

CyPmSleep(PM\_SLEEP\_TIME\_NONE,PM\_SLEEP\_SRC\_PICU);

/\* Restores all the clocks after coming to Active mode\*/

CyPmRestoreClocks();

/\* When the device wakes up, it toggles the LED \*/

Pin\_LED\_Write(Pin\_LED\_Read() ^ 1);

/\* Delays between next time the device goes to sleep \*/

CyDelay(20);

}

＜＜★The project details are as follows:＞＞プロジェクトの詳細は次のとおりです。

1. ＜＜★Open the project SIO\_WakeUp, build, and program the PSoC 3 and PSoC 5LP on CY8CKIT-001 DVK.＞＞プロジェクトSIO\_WakeUpを開き、CY8CKIT-001 DVKでPSoC 3およびPSoC 5LPをビルドしてプログラムします。
2. ＜＜★The potentiometer output VR (on P14 of DVK) is connected to P12[2].＞＞ポテンショメータ出力VR (DVKのP14) はP12[2]に接続されています。＜＜★Power the potentiometer by setting J11 to ON position.＞＞J11をON位置に設定して、ポテンショメータに電力を供給します。
3. ＜＜★The VADJ on DVK is set to 1.5 V by varying adjustable resistor R11 on DVK.＞＞DVKの調整可能な抵抗R11を変更することにより、DVKのVADJが1.5 Vに設定されます。＜＜★The VADJ (on P14 of DVK) is connected to P0[4].＞＞VADJ (DVKのP14上) はP0[4]に接続されています。
4. ＜＜★P1[7] is connected to LED1.＞＞P1[7]はLED1に接続されています。
5. ＜＜★Vary the potentiometer VR on the DVK; whenever it crosses the 1.5 V the LED is toggled.＞＞DVKのポテンショメーターVRを変更します。1.5 Vを超えると、LEDが切り替わります。

# ＜＜★Tip 3: Charge Pump＞＞ヒント3: チャージポンプ

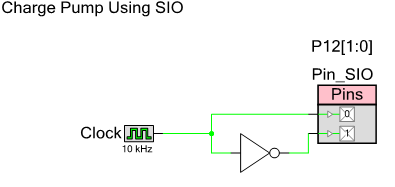
＜＜★Charge pump is a kind of DC to DC converter that uses capacitors as energy storage elements to create a higher voltage power source.＞＞チャージポンプは一種のDC/DCコンバーターであり、コンデンサーをエネルギー貯蔵要素として使用して、より高い電圧の電源を作成します。

## ＜＜★Top Design＞＞トップデザイン

＜＜★［1］The Digital Output Pin component is placed in the top design, the number of pins is set to two, and the component is renamed as Pin\_SIO.＞＞デジタル出力ピンコンポーネントがトップデザインに配置され、ピンの数が2に設定され、コンポーネントの名前がPin\_SIOに変更されます。＜＜★The Pin\_SIO\_0 pin is configured as an Open Drain, Drive High and the Pin\_SIO\_1 is configured as a strong drive.＞＞Pin\_SIO\_0ピンはオープンドレイン、ハイドライブとして構成され、Pin\_SIO\_1はストロングドライブとして構成されます。＜＜★A clock of 10 kHz is given to the input terminal of Pin\_SIO\_0 and the inverted clock is given to input terminal of Pin\_SIO\_1.＞＞Pin\_SIO\_0の入力端子には10 kHzのクロックが与えられ、Pin\_SIO\_1の入力端子には反転クロックが与えられます。

＜＜★In design wide resources (\*.cydwr) file, these two SIO pins are mapped to P12[1:0] pins.＞＞デザイン全体のリソース (*\*.cydwr*) ファイルでは、これらの2つのSIOピンはP12[1:0]ピンにマップされます。

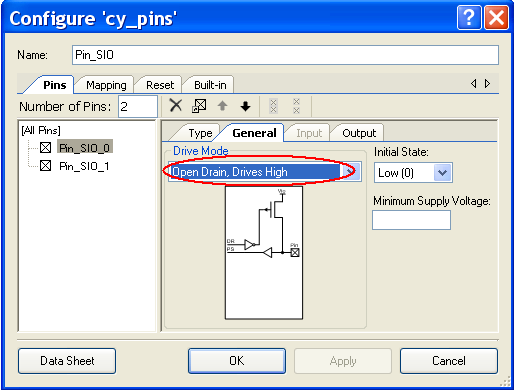
Figure 13. ＜＜★Top Design for SIO Charge Pump＞＞SIOチャージポンプのトップデザイン

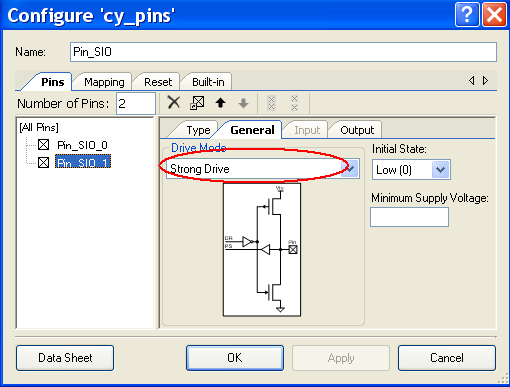


## 設定

＜＜★The Pin\_SIO\_0 and Pin\_SIO\_1 pin drive mode configuration is as follows.＞＞Pin\_SIO\_0およびPin\_SIO\_1のピン駆動モードの構成は次のとおりです。

Figure 14. ＜＜★SIO Pins Drive Mode Configuration＞＞SIOピンの駆動モード構成





## ＜＜★Equivalent Schematic＞＞等価回路図

＜＜★Connect an external capacitor to this SIO pair and make a circuit as follows.＞＞このSIOペアに外部コンデンサを接続し、次のような回路を作成します。

Figure 15. ＜＜★Schematic for Charge Pump＞＞チャージポンプの回路図



＜＜★When the clock or PWM goes high, the Pin\_SIO\_0 charges the capacitor C1 to VDDIO referenced against GND on the Pin\_SIO\_1.＞＞クロックまたはPWMがHighになると、Pin\_SIO\_0は、Pin\_SIO\_1のGNDを基準にして、コンデンサC1をVDDIOまで充電します。＜＜★When the clock is low the Pin\_SIO\_0 is floating because of the open drain connection.＞＞クロックが低い場合、オープンドレイン接続のため、Pin\_SIO\_0はフローティングです。＜＜★But the low side of C1 is now VDDIO; this makes C1 to have a 2 X VDDIO voltage developed at its high side.＞＞しかし、C1のローサイドは現在VDDIOです。これにより、C1のハイサイドで2 X VDDIO電圧が発生します。＜＜★This makes the diode to conduct and thus charges the capacitor C2 to 2 x VDDIO.＞＞これによりダイオードが導通し、コンデンサC2が2 x VDDIOに充電されます。

**＜＜★Note**The capacitor C2 is referenced to GND and hence can see the entire voltage, 2 VDDIO.＞＞**注:** コンデンサC2はGNDを基準としているため、2 VDDIO全体の電圧を確認できます。

＜＜★［2］This implements a charge pump to double the voltage.＞＞これにより、電圧を2倍にするチャージポンプが実装されます。＜＜★There is no need of diode D1 for voltage output up to 5 V because the SIO can withstand maximum of 5 V regardless of VDDIO.＞＞SIOはVDDIOに関係なく最大5 Vに耐えることができるため、最大5 Vの電圧出力にはダイオードD1は必要ありません。＜＜★To achieve voltages higher than 5 V, the diode is used on the pin.＞＞5 Vを超える電圧を達成するには、ダイオードをピンで使用します。＜＜★PWM can also be used in place of the clock control.＞＞クロック制御の代わりにPWMを使用することもできます。＜＜★The PWM with a comparator feedback can achieve a feedback controlled voltage.＞＞コンパレータフィードバック付きのPWMは、フィードバック制御された電圧を実現できます。

＜＜★The project details are as follows:＞＞プロジェクトの詳細は次のとおりです。

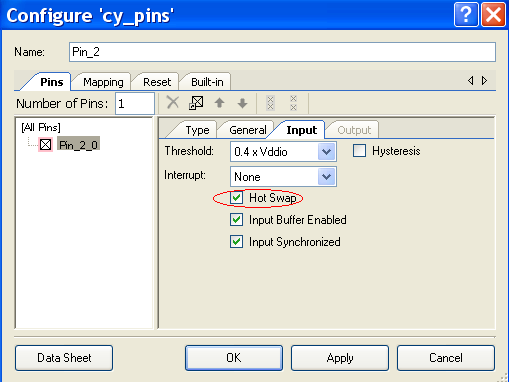
1. ＜＜★Open the project SIO\_ChargePump, build, and program the PSoC 3 and PSoC 5LP on the CY8CKIT-001 (DVK).＞＞プロジェクトSIO\_ChargePumpを開き、CY8CKIT-001 (DVK) でPSoC 3およびPSoC 5LPをビルドしてプログラムします。
2. ＜＜★The diodes and capacitors are connected as shown in Figure 15.＞＞ダイオードとコンデンサは、Figure 15に示すように接続されます。
3. ＜＜★The voltage of 2 x VDDIO is seen on the capacitor C2.＞＞コンデンサC2には2 x VDDIOの電圧が見られます。

# ＜＜★Tip 4: Level Shifter＞＞ヒント4: レベルシフター

＜＜★The SIO pins are tolerant to input voltages higher than the I/O supply voltage.＞＞SIOピンは、I/O電源電圧より高い入力電圧に耐性があります。＜＜★The hot swap feature prevents input from being clamped to the I/O supply level, when the input voltage is above the I/O supply voltage.＞＞ホットスワップ機能は、入力電圧がI/O電源電圧より高い場合に、入力がI/O電源レベルにクランプされるのを防ぎます。＜＜★Each SIO pin can tolerate any input voltage up to 5 V, regardless of I/O supply voltage.＞＞各SIOピンは、I/O電源電圧に関係なく、最大5 Vの入力電圧に耐えることができます。＜＜★In cases where the input voltage exceeds I/O supply voltage, the DC input leakage current is < 100 µA.＞＞入力電圧がI/O電源電圧を超える場合、DC入力リーク電流は<です。100 µA。＜＜★This feature allows the SIO to be connected to an external bus that can be switched to voltage levels higher than the I/O supply voltage.＞＞この機能により、SIOをI/O電源電圧より高い電圧レベルに切り替えることができる外部バスに接続できます。

＜＜★The Digital Input Pin configuration enables Hot Swap feature is shown in Figure 16.＞＞デジタル入力ピンの構成により、ホットスワップ機能が有効になります (Figure 16を参照) 。

Figure 16. ＜＜★Hot Swap Configuration＞＞ホットスワップ構成



＜＜★Use the hot swap capability to interface to peripherals that operate at different voltage levels.＞＞ホットスワップ機能を使用して、さまざまな電圧レベルで動作する周辺機器にインターフェースします。＜＜★The following example shows how to interface to peripheral operating at 5 V while the PSoC 3 or PSoC 5LP device runs at 3.3 V. The SIO pin Drive Mode is configured to Open Drain, Drive Low mode.＞＞次の例は、PSoC 3またはPSoC 5LPデバイスが3.3 Vで動作しているときに5 Vで動作するペリフェラルにインターフェースする方法を示しています。SIOピンのドライブモードはオープンドレイン、ドライブローモードに構成されています。

Figure 17. ＜＜★Application using Hot Swap＞＞ホットスワップを使用したアプリケーション



# ＜＜★Tip 5: Half Wave Rectifier＞＞ヒント5: 半波整流器

＜＜★The half wave rectifier is achieved with a pair of SIO pins.＞＞半波整流器は、SIOピンのペアで実現されます。

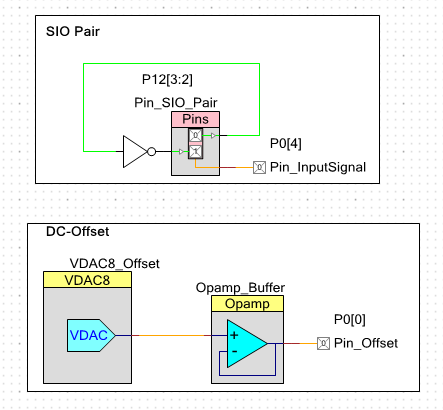
## ＜＜★Top Design＞＞トップデザイン

＜＜★［1］The Digital Output Pin component is placed in the top design, the number of pins is set to two, and the component is renamed as Pin\_SIO\_Pair.＞＞デジタル出力ピンコンポーネントがトップデザインに配置され、ピンの数が2に設定され、コンポーネントの名前がPin\_SIO\_Pairに変更されます。＜＜★The Pin\_SIO\_Pair\_0 pin is configured as input pin and the threshold is set to VREF.＞＞Pin\_SIO\_Pair\_0ピンは入力ピンとして構成され、しきい値はVREFに設定されます。＜＜★The Pin\_SIO\_Pair\_1 is configured as output pin, the Drive Level is set to ‘VREF’, and drive mode is set to Open Drain, Drive High.＞＞Pin\_SIO\_Pair\_1は出力ピンとして構成され、ドライブレベルは「VREF」に設定され、ドライブモードはオープンドレイン、ドライブハイに設定されます。＜＜★An analog pin is named as Pin\_InputSignal and connected to reference terminal of SIO.＞＞アナログピンは、Pin\_InputSignalという名前で、SIOのリファレンス端子に接続されています。＜＜★SIO\_Pair\_0 input terminal is inverted and then connected to the SIO\_pair\_1 output terminal.＞＞SIO\_Pair\_0入力端子は反転され、SIO\_pair\_1出力端子に接続されます。

＜＜★［1］The VDAC component is placed and named to VDAC8\_Offset; it is set to give output of 1 V. The VDAC output is buffered using the opamp component; the opamp is named Opamp\_Buffer.＞＞VDACコンポーネントが配置され、VDAC8\_Offsetという名前が付けられます。1 Vの出力が得られるように設定されています。VDAC出力は、オペアンプコンポーネントを使用してバッファされます。オペアンプはOpamp\_Bufferという名前です。＜＜★The analog pin Pin\_Offset connected to the opamp, gives the DC offset for the input signal.＞＞オペアンプに接続されたアナログピンPin\_Offsetは、入力信号のDCオフセットを提供します。

＜＜★In design wide resources (\*.cydwr) file, the pins Pin\_SIO\_Pair[1:0], Input\_Signal, and Offset are mapped to P12[3:2], P0[4], and P0[0] pins.＞＞デザイン全体のリソース (*\*.cydwr*) ファイルでは、ピン[1:0]、Input\_Signal、およびOffsetがP12[3:2]、P0[4]、およびP0[0]ピンにマップされます。

Figure 18. ＜＜★Top Design for Half Wave Rectifier＞＞半波整流器のトップデザイン



## ＜＜★Pairing SIO pins＞＞SIOピンのペアリング

＜＜★To map the pins as SIO pair, click on [All Pins] and select ‘Pair Selected SIOs’ option.＞＞ピンをSIOペアとしてマッピングするには、[All Pins]をクリックして、[Pair Selected SIOs]オプションを選択します。

Figure 19. ＜＜★SIO Pair Configuration＞＞SIOペア構成

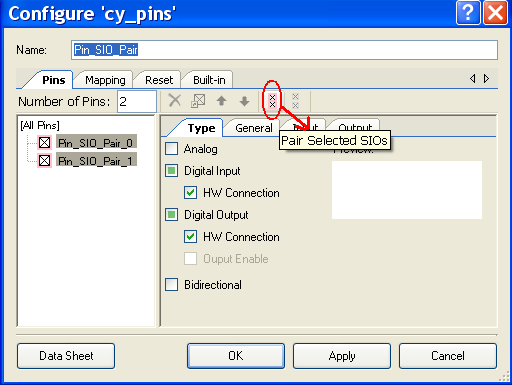
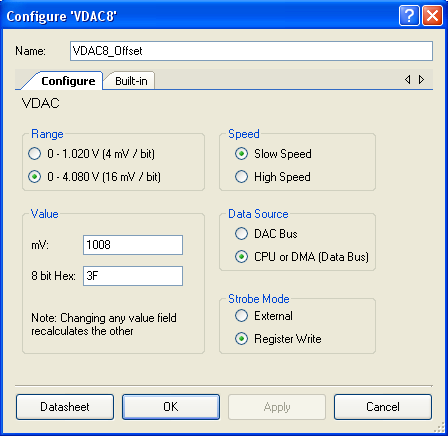


Figure 20. ＜＜★DAC Configuration＞＞DAC構成

****

## ＜＜★Equivalent Schematic＞＞等価回路図

Figure 21. ＜＜★Equivalent Schematic＞＞等価回路図



＜＜★The analog input signal is biased on the offset and is given to SIO reference terminal.＞＞アナログ入力信号はオフセットでバイアスされ、SIOリファレンス端子に与えられます。＜＜★The Pin\_SIO\_Pair\_0 is connected to offset voltage.＞＞Pin\_SIO\_Pair\_0はオフセット電圧に接続されています。＜＜★Whenever the signal is in positive half cycle the SIO\_Pair\_0 input is logic ‘Low’.＞＞信号が正の半サイクルにあるときは常に、SIO\_Pair\_0入力は論理「Low」です。＜＜★This input is inverted and used to drive the other SIO pin Pin\_SIO\_Pair\_1.＞＞この入力は反転され、他のSIOピンPin\_SIO\_Pair\_1を駆動するために使用されます。＜＜★The Pin\_SIO\_Pair\_1 gives the reference as output as it is configured in regulated mode.＞＞Pin\_SIO\_Pair\_1は、レギュレーションモードで構成されているため、リファレンスを出力として提供します。＜＜★Thus in positive half cycle of the input signal, the output of the SIO\_Pair\_Ref is the signal itself.＞＞したがって、入力信号の正の半サイクルでは、SIO\_Pair\_Refの出力は信号そのものです。＜＜★For negative cycle, the Pin\_SIO\_Pair\_1 outputs High-Z as it is configured in Open Drain, Drive High configuration.＞＞負のサイクルでは、Pin\_SIO\_Pair\_1は、オープンドレイン、ドライブHigh構成で構成されているため、High-Zを出力します。＜＜★The pull-up resistor is connected to make the output equal to Offset during negative cycles.＞＞プルアップ抵抗は、負のサイクル中に出力をオフセットに等しくするために接続されます。

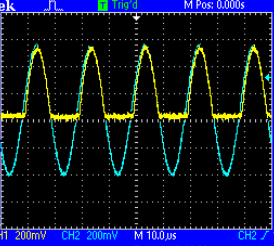
**＜＜★Note**The signal should be less than VDDIO/2 because the maximum limit on the SIO input threshold in differential mode is VDDIO/2.＞＞**注:** 差動モードでのSIO入力しきい値の最大制限はVDDIO/2であるため、信号はVDDIO/2未満である必要があります。

＜＜★The project details are as follows:＞＞プロジェクトの詳細は次のとおりです。

1. ＜＜★Open the project ‘SIO\_HalfWaveRectifier’, build, and program the PSoC 3 and PSoC 5LP on the CY8CKIT-001 DVK.＞＞プロジェクト 'SIO\_HalfWaveRectifier'を開き、CY8CKIT-001 DVKでPSoC 3およびPSoC 5LPをビルドしてプログラムします。
2. ＜＜★The analog signal is given to pin P0[4] with respect to P0[0].＞＞アナログ信号は、P0[0]に関してピンP0[4]に与えられます。＜＜★This makes the input signal biased at ‘Offset’.＞＞これにより、入力信号が「オフセット」でバイアスされます。
3. ＜＜★Connect offset voltage P0[0] to P12[2].＞＞オフセット電圧P0[0]をP12[2]に接続します。
4. ＜＜★The pull up resistor of 1 M is connected between P12[3] and P0[0].＞＞P12[3]とP0[0]の間に1 Mのプルアップ抵抗が接続されています。
5. ＜＜★Observe the half wave rectified output on pin P12[3].＞＞ピンP12[3]の半波整流出力を観察します。

＜＜★Waveforms: At 50 kHz, with input 1 Vp-p, offset of 0 V.＞＞波形: 50 kHz、入力1 Vp-p、オフセット0V。

Figure 22. ＜＜★Waveforms for Half Wave Rectifier＞＞半波整流器の波形

****

# ＜＜★Tip 6: Peak Detector＞＞ヒント6: ピーク検出器

＜＜★This section explains how a single SIO can function as a peak detector of an analog signal.＞＞このセクションでは、単一のSIOがアナログ信号のピーク検出器として機能する方法について説明します。＜＜★It gives the digital signal with transitions at the peaks of the analog signal.＞＞アナログ信号のピークで遷移するデジタル信号を提供します。＜＜★The analog signal amplitude level should be less than VDDIO/2 peak to peak, because threshold of SIO should be less than VDDIO/2.＞＞SIOのしきい値はVDDIO/2未満である必要があるため、アナログ信号の振幅レベルはVDDIO/2ピークツーピーク未満である必要があります。

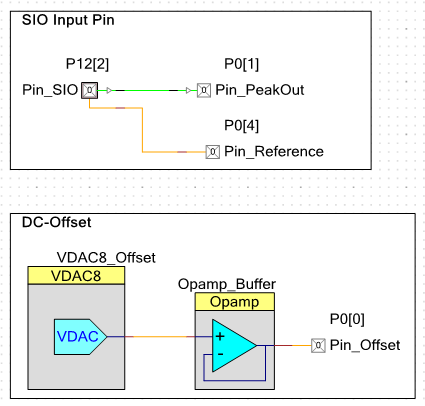
## ＜＜★Top Design＞＞トップデザイン

＜＜★The Digital Input Pin is placed in the top design; the threshold is set to VREF and the pin is named as ‘Pin\_SIO’.＞＞デジタル入力ピンはトップデザインに配置されています。しきい値はVREFに設定され、ピンには「Pin\_SIO」という名前が付けられます。＜＜★The Reference terminal of the SIO is connected to the analog pin named Pin\_Reference.＞＞SIOのリファレンス端子は、Pin\_Referenceという名前のアナログピンに接続されています。

＜＜★［1］The VDAC component is placed and named to ‘VDAC8\_Offset’; it is set to give output of 2 V. The VDAC output is buffered using the opamp component; the opamp is named Opamp\_Buffer.＞＞VDACコンポーネントが配置され、「VDAC8\_Offset」という名前が付けられます。2 Vの出力が得られるように設定されています。VDAC出力は、オペアンプコンポーネントを使用してバッファされます。オペアンプはOpamp\_Bufferという名前です。＜＜★The analog pin Pin\_Offset connected to the opamp, gives the DC offset for the input signal.＞＞オペアンプに接続されたアナログピンPin\_Offsetは、入力信号のDCオフセットを提供します。

＜＜★In design wide resources (\*.cydwr) file, the pins Pin\_SIO, Pin\_Reference, Pin\_PeakOut, and Pin\_Offset are mapped to P12[2], P0[4], P0[1] and P0[0] pins.＞＞デザイン全体のリソース (*\*.cydwr*) ファイルでは、ピンPin\_SIO、Pin\_Reference、Pin\_PeakOut、およびPin\_OffsetがP12[2]、P0[4]、P0[1]およびP0[0]ピンにマップされます。

Figure 23. ＜＜★Top Design for Peak Detector＞＞ピーク検出器のトップデザイン



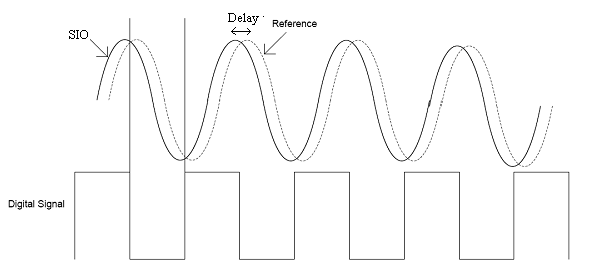
## ＜＜★Equivalent Schematic＞＞等価回路図

Figure 24. ＜＜★Equivalent Schematic＞＞等価回路図



＜＜★The analog signal is biased at the Offset voltage.＞＞アナログ信号はオフセット電圧でバイアスされます。＜＜★This signal is connected to both the SIO pin and also to the reference of the SIO.＞＞この信号は、SIOピンとSIOのリファレンスの両方に接続されます。＜＜★The reference of SIO goes to the reference generator and it experiences a small delay in reaching the threshold input of the comparator.＞＞SIOのリファレンスはリファレンスジェネレーターに送られ、コンパレーターのしきい値入力に到達するまでにわずかな遅延が発生します。＜＜★This delay between the SIO input and the reference input makes it a peak detector.＞＞SIO入力とリファレンス入力の間のこの遅延により、ピーク検出器になります。＜＜★［0］The input signal is compared at the SIO input buffer against the delayed version of the signal and the comparator output crosses zero at the peaks, as shown in Figure 25.＞＞Figure 25に示すように、入力信号はSIO入力バッファーで信号の遅延バージョンと比較され、コンパレーターの出力はピークでゼロと交差します。

Figure 25. ＜＜★Waveforms Showing Input and Delayed Signals＞＞入力信号と遅延信号を示す波形

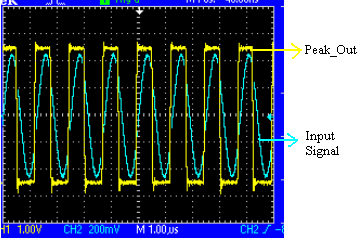


＜＜★The project details are as follows:＞＞プロジェクトの詳細は次のとおりです。

1. ＜＜★Open the project SIO\_PeakDetector, build, and program the PSoC 3 and PSoC 5LP on the CY8CKIT-001 DVK.＞＞プロジェクトSIO\_PeakDetectorを開き、CY8CKIT-001 DVKでPSoC 3およびPSoC 5LPをビルドしてプログラムします。
2. ＜＜★The analog signal is biased on P0[0] and given to both P12[2] and P0[4].＞＞アナログ信号はP0[0]にバイアスされ、P12[2]とP0[4]の両方に与えられます。
3. ＜＜★The digital output is seen on the pin P0[1].＞＞デジタル出力はピンP0[1]で確認できます。
4. ＜＜★Waveforms are shown in the following figure.＞＞次の図に波形を示します。

＜＜★The input signal is at 800 kHz, 1 Vp-p and offset is 2 V. The VDDIO = 5 V.s＞＞入力信号は800 kHz、1 Vp-p、オフセットは2 Vです。VDDIO= 5 Vs

Figure 26. ＜＜★Peak Detector Waveforms＞＞ピーク検出器の波形



# ＜＜★Tip 7: SIO as SPST/SPDT Switch＞＞ヒント7: SPST/SPDTスイッチとしてのSIO

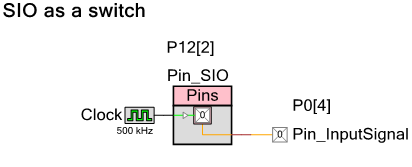
＜＜★The SIO can be used as a hardware analog switch.＞＞SIOは、ハードウェアアナログスイッチとして使用できます。

## ＜＜★Top Design＞＞トップデザイン

＜＜★The Digital Output Pin is placed in the Top Design.＞＞デジタル出力ピンはトップデザインに配置されています。＜＜★The drive level is set to VREF and the pin is named as Pin\_SIO.＞＞ドライブレベルはVREFに設定され、ピンの名前はPin\_SIOです。＜＜★An analog pin named as ‘Pin\_InputSignal’ is connected to SIO’s Reference terminal.＞＞「Pin\_InputSignal」という名前のアナログピンがSIOのリファレンス端子に接続されています。＜＜★［1］The clock component is set to frequency 500 kHz and connected to output terminal of SIO.＞＞クロックコンポーネントは周波数500 kHzに設定され、SIOの出力端子に接続されます。

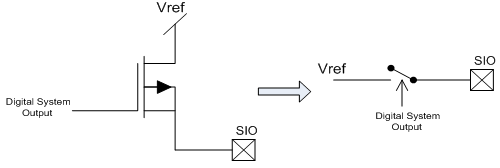
＜＜★In design wide resources (\*.cydwr) file, the pins Pin\_SIO and Pin\_InputSignal are mapped to P12[2] and P0[4] pins.＞＞デザイン全体のリソース (*\*.cydwr*) ファイルでは、ピンPin\_SIOおよびPin\_InputSignalがP12[2]およびP0[4]ピンにマップされます。

Figure 27. ＜＜★Top Design for SIO Switch＞＞SIOスイッチのトップデザイン



**＜＜★Single Pole Single Throw switch (SPST)**: SIO pin drive mode is configured as Open Drain, Drives High.＞＞**単極単投スイッチ (SPST) :** SIOピンのドライブモードは、オープンドレイン、ハイにドライブとして構成されます。＜＜★The digital output to the SIO connects/disconnects the VREF and SIO pin.＞＞SIOへのデジタル出力は、VREFおよびSIOピンを接続/切断します。

Figure 28. ＜＜★Equivalent Circuit for SPST Switch＞＞SPSTスイッチの等価回路



**＜＜★Single Pole Double Throw (SPDT):** SIO pin drive mode is configured as Strong Drive.＞＞**単極双投 (SPDT) :** SIOピンドライブモードはストロングドライブとして構成されます。＜＜★The digital output to the SIO connects or disconnects the SIO pin between VREF and Gnd.＞＞SIOへのデジタル出力は、SREFピンをVREFとGndの間で接続または切断します。

Figure 29. ＜＜★Equivalent Circuit for SPDT Switch＞＞SPDTスイッチの等価回路

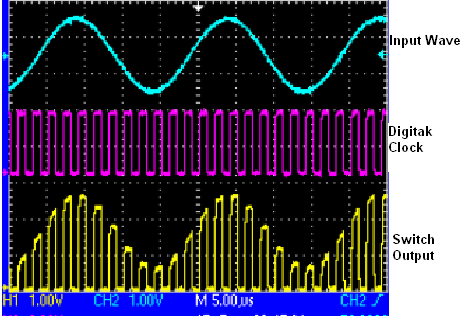


＜＜★The project details are as follows:＞＞プロジェクトの詳細は次のとおりです。

1. ＜＜★Open the project ‘SIO\_Switch’, build, and program the PSoC 3 / PSoC 5LP on the CY8CKIT-001 DVK.＞＞プロジェクト「SIO\_Switch」を開き、CY8CKIT-001 DVKでPSoC 3 / PSoC 5LPをビルドしてプログラムします。
2. ＜＜★The input signal is given to P0[4].＞＞入力信号はP0[4]に与えられます。
3. ＜＜★The output, which is switched at 500 kHz is seen at P12[2].＞＞500 kHzでスイッチングされる出力は、P12[2]で確認できます。＜＜★The output of P12[2] switches between signal and ground giving the SPDT functionality.＞＞P12[2]の出力は、信号とグランドを切り替えて、SPDT機能を提供します。
4. ＜＜★Waveforms are shown in the following figure.＞＞次の図に波形を示します。

＜＜★A clock of 500 kHz is made to drive the SIO pin configured in ‘Strong Drive’ mode.＞＞500 kHzのクロックは、「ストロングドライブ」モードで構成されたSIOピンを駆動するために作成されます。

Figure 30. ＜＜★Waveforms showing SIO Switch＞＞SIOスイッチを示す波形



# ＜＜★Tip 8: Handling SIOs in sleep mode＞＞ヒント8: スリープモードでのSIOの処理

＜＜★SIO input pins should be put in single ended mode before putting PSoC device in sleep mode to reduce PSoC sleep current.＞＞PSoCデバイスをスリープモードにする前に、SIO入力ピンをシングルエンドモードにして、PSoCスリープ電流を減らす必要があります。＜＜★SIO’s in differential mode consume high current of 100 uA.＞＞差動モードのSIOは100 uAの大電流を消費します。＜＜★［0］To put SIO’s in single ended mode, use the register PRT12\_SIO\_CFG and set the bits for the specific SIO pair to zero.＞＞SIOをシングルエンドモードにするには、レジスタGを使用して、特定のSIOペアのビットをゼロに設定します。＜＜★After coming out of sleep, the bits should be set back to previous values.＞＞スリープ状態から抜け出した後、ビットを以前の値に戻す必要があります。

PRT12\_SIO\_CFG:

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| SIO[7:6] | | SIO[5:4] | | SIO[3:2] | | SIO[1:0] | |
| Bit7 | Bit6 | Bit5 | Bit4 | Bit3 | Bit2 | Bit1 | Bit0 |

# まとめ

＜＜★The SIO pin on PSoC 3 and PSoC 5LP is designed to perform some special tasks.＞＞PSoC 3およびPSoC 5LPのSIOピンは、いくつかの特別なタスクを実行するように設計されています。＜＜★These are level translator, hot swap capability, and high current capability as explained in PSoC Creator configuration section.＞＞これらは、PSoC Creatorの構成セクションで説明されているように、レベルトランスレーター、ホットスワップ機能、高電流機能です。＜＜★However, the SIO pin is so resourceful and flexible that many designs can be accomplished with this, making it a powerful feature.＞＞ただし、SIOピンは非常に機知に富み、柔軟性があるため、これを使用して多くの設計を実行できるため、強力な機能になります。＜＜★Thus, it is useful to consider how to exploit the features of the SIO in every design.＞＞したがって、すべての設計でSIOの機能を活用する方法を検討することは有用です。

＜＜★About the Author＞＞著者について

|  |  |
| --- | --- |
| 名前: | Pavankumar Vibhute |
| 役職: | ＜＜★Systems Engineer Sr＞＞システムエンジニアシニア |

改訂履歴

＜＜★Document Title: AN60580 - SIO Tips and Tricks in PSoC® 3 / PSoC 5LP＞＞文書名: PSoC® 3 / PSoC 5LPのSIOのヒントとコツ

文書番号: 001-60580

|  |  |  |  |
| --- | --- | --- | --- |
| 版 | ECN | 発行日 | 変更内容 |
| \*\* |  |  | 本版は英語版001-60580 Rev. \*Iについて、CYPRESS DEVELOPER COMMUNITYの参画者によって日本語に翻訳されたドキュメントです。 |

セールス, ソリューションおよび法律情報

**ワールドワイドな販売と設計サポート**

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](http://www.cypress.com/?id=1062)をご覧ください。

**製品**

Arm® Cortex® Microcontrollers [cypress.com/arm](http://www.cypress.com/products/32-bit-arm-cortex-mcus)

車載用 [cypress.com/automotive](http://www.cypress.com/applications/automotive-solutions)

クロック&バッファ [cypress.com/clocks](http://www.cypress.com/products/clocks-buffers)

インターフェース [cypress.com/interface](http://www.cypress.com/products/interface)

IoT (モノのインターネット) [cypress.com/iot](http://www.cypress.com/internet-things-iot)

メモリ [cypress.com/memory](http://www.cypress.com/products/memory-products)

マイクロコントローラ [cypress.com/mcu](http://www.cypress.com/mcu)

PSoC [cypress.com/psoc](http://www.cypress.com/psoc/)

電源用IC [cypress.com/pmic](http://www.cypress.com/products/power-management)

タッチセンシング [cypress.com/touch](http://www.cypress.com/products/touch-sensing)

USBコントローラー [cypress.com/usb](http://www.cypress.com/products/usb-controllers)

ワイヤレス [cypress.com/wireless](http://www.cypress.com/products/wireless-connectivity)

**PSoC®ソリューション**

[PSoC 1](http://www.cypress.com/products/psoc-1) | [PSoC 3](http://www.cypress.com/products/psoc-3) | [PSoC 4](http://www.cypress.com/products/psoc-4) | [PSoC 5LP](http://www.cypress.com/products/32-bit-arm-cortex-m3-psoc-5lp) | [PSoC 6 MCU](http://cypress.com/psoc6)

**サイプレス開発者コミュニティ**

[コミュニティ](https://community.cypress.com/welcome) | [サンプルコード](http://www.cypress.com/cypressgithub) | [Projects](http://www.cypress.com/projects) | [ビデオ](http://www.cypress.com/video-library) | [ブログ](http://www.cypress.com/blog) | [トレーニング](http://www.cypress.com/training) | [Components](http://www.cypress.com/cdc/community-components)

**テクニカルサポート**

[cypress.com/support](http://www.cypress.com/support)

|  |  |
| --- | --- |
| C:\Work\Templates\Cypress Logo Files\Cypress Logo_New_White (Reverse)_PNG.png | Cypress Semiconductor  An Infineon Technologies Company  198 Champion Court  San Jose, CA 95134-1709 |

© Cypress Semiconductor Corporation, 2010-2020. 本書面は, Cypress Semiconductor Corporation及びSpansion LLCを含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は, アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づきCypressが所有する。Cypressはこれらの法令及び条約に基づく全ての権利を留保し, 本段落で特に記載されているものを除き, その特許権, 著作権, 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず, かつCypressとの間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypressは, (1) 本ソフトウェアの著作権に基づき, (a) ソースコード形式で提供されている本ソフトウェアについて, Cypressハードウェア製品と共に用いるためにのみ, かつ組織内部でのみ, 本ソフトウェアの修正及び複製を行うこと, 並びに (b) Cypressのハードウェア製品ユニットに用いるためにのみ, (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること, 並びに (2) 本ソフトウェア (Cypressにより提供され, 修正がなされていないもの) が抵触するCypressの特許権のクレームに基づき, Cypressハードウェア製品と共に用いるためにのみ, 本ソフトウェアの作成, 利用, 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用, 複製, 修正, 変換又はコンパイルを禁止する。

適用される法律により許される範囲内で, Cypressは, 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても, 明示又は黙示をとわず, いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypressのハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypressは, Cypress製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて, 本書面に記載された製品には, エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり, 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypressは, 別途通知することなく, 本書面を変更する権利を留保する。Cypressは, 本書面に記載のある, いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は, 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計, プログラム, かつテストすることは, 本書面のユーザーの責任において行われるものとする。Cypress製品は, 兵器, 兵器システム, 原子力施設, 生命維持装置若しくは生命維持システム, 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム, 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用, 又は装置若しくはシステムの不具合が人身傷害, 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計, 意図又は承認されていない。重要な構成部分とは, それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress製品のあらゆる本目的外使用から生じ, 若しくは本目的外使用に関連するいかなる請求, 損害又はその他の責任についても, Cypressはその全部又は一部をとわず一切の責任を負わず, かつCypressはそれら一切から本書により免除される。CypressはCypress製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求, 費用, 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypressのロゴ, Spansion, Spansionのロゴ及びこれらの組み合わせ, WICED, PSoC, CapsSense, EZ-USB, F-RAM, 及びTraveoは, 米国及びその他の国におけるCypressの商標又は登録商標である。Cypressのより完全な商標のリストは, cypress.comを参照すること。その他の名称及びブランドは, それぞれの権利者の財産として権利主張がなされている可能性がある。